

DIALOG(R)File 352:Derwent WPI

(c) 2003 Thomson Derwent. All rts. reserv.

014123968 \*\*Image available\*\*

WPI Acc No: 2001-608178/200170

XRAM Acc No: C01-180883

XRPX Acc No: N01-454090

Semiconductor device, especially pixel portion of reflection-type liquid crystal display device, includes electrode(s) formed on first insulating film and overlapping channel formation region linking source and drain regions

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME ); KOYAMA (KOYA-I); YAMAZAKI S (YAMA-I)

Inventor: KOYAMA J; YAMAZAKI S

Number of Countries: 031 Number of Patents: 006

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 1128430	A2	20010829	EP 2001104319	A	20010222	200170 B
US 20010030322	A1	20011018	US 2001773543	A	20010202	200170
CN 1314715	A	20010926	CN 2001117390	A	20010221	200206
JP 2001313397	A	20011109	JP 200146401	A	20010222	200207
KR 2001083207	A	20010831	KR 20018583	A	20010221	200215
TW 485435	A	20020501	TW 2001102074	A	20010201	200318

Priority Applications (No Type Date): JP 200044973 A 20000222

Patent Details:

Patent No Kind Lan Pg Main IPC Filing Notes

EP 1128430 A2 E 51 H01L-021/84

Designated States (Regional): AL AT BE CH CY DE DK ES FI FR GB GR IE IT  
LI LT LU LV MC MK NL PT RO SE SI TR

US 20010030322 A1 H01L-029/04

CN 1314715 A H01L-029/786

JP 2001313397 A 27 H01L-029/786

KR 2001083207 A G02F-001/136

TW 485435 A H01L-021/00

Abstract (Basic): EP 1128430 A2

NOVELTY - Device comprises: semiconductor layer formed on an insulating surface and having source, drain and channel formation regions; first insulating film; electrode(s) formed on first insulating film and overlapping the channel formation region; source wiring on first insulating film; second insulating film covering electrode(s) and source wiring; and gate wiring connected to the electrode(s).

DETAILED DESCRIPTION - INDEPENDENT CLAIMS are also included for:

(a) a semiconductor device as above and further including a connection electrode formed on the second insulating film and connected to the source wiring and the semiconductor layer, and a pixel electrode formed on the second insulating film and connected to the semiconductor layer;

(b) a semiconductor device comprising a first insulating film adjacent to a semiconductor layer that has source, drain and channel

formation regions; a first insulating film; at least one electrode including a gate electrode formed on the first insulating film and overlapping the channel formation region; source wiring on first insulating film; a second insulating film covering the electrode(s) and source wiring; gate wiring connected to the electrode(s); and pixel electrode electrically connected to the semiconductor layer;

(c) a semiconductor device comprising a liquid crystal interposed between a pair of substrates, one of which has a pixel portion and a driver circuit, where the pixel portion comprises the semiconductor device described in (a) and the other substrate comprises a light-shielding film in which a red color filter and a blue color filter are laminated so as to overlap the first semiconductor layer;

(d) a semiconductor device comprising a liquid crystal interposed between a pair of substrates, one of which has a pixel portion and a driver circuit, where the pixel portion comprises the semiconductor device described in (a) except that the connection electrode is omitted; and

(e) methods of forming the semiconductor device.

USE - Production of a personal computer, a video camera, a portable information terminal, a digital camera, a digital video disk player, and an electric game appliance (all claimed).

ADVANTAGE - A liquid crystal display device having a pixel structure of a high pixel aperture ratio is realized without increasing the number of masks and the number of manufacturing steps.

DESCRIPTION OF DRAWING(S) - The drawing shows a pixel portion according to the invention.

First electrode (134)

Second electrode (135)

Source wiring (137)

Connection electrode (165)

Gate wiring (166)

Pixel electrodes (167, 175)

First semiconductor layer (172)

Second semiconductor layer (173)

pp; 51 DwgNo 1/25

Title Terms: SEMICONDUCTOR; DEVICE; PIXEL; PORTION; REFLECT; TYPE; LIQUID; CRYSTAL; DISPLAY; DEVICE; ELECTRODE; FORMING; FIRST; INSULATE; FILM; OVERLAP; CHANNEL; FORMATION; REGION; LINK; SOURCE; DRAIN; REGION

Derwent Class: A85; L03; P81; U11; U14

International Patent Class (Main): G02F-001/136; H01L-021/00; H01L-021/84; H01L-029/04; H01L-029/786

International Patent Class (Additional): G02F-001/1368; H01L-027/12; H01L-031/20; H01L-031/36; H01L-031/376; H04N-005/66

File Segment: CPI; EPI; EngPI

DIALOG(R)File 347:JAPIO  
(c) 2003 JPO & JAPIO. All rts. reserv.

07085749   \*\*Image available\*\*  
SEMICONDUCTOR DEVICE AND ITS FORMING METHOD

PUB. NO.:       2001-313397 [JP 2001313397 A]  
PUBLISHED:     November 09, 2001 (20011109)  
INVENTOR(s):   YAMAZAKI SHUNPEI  
                  KOYAMA JUN  
APPLICANT(s):   SEMICONDUCTOR ENERGY LAB CO LTD  
APPL. NO.:      2001-046401 [JP 20011046401]  
FILED:          February 22, 2001 (20010222)  
PRIORITY:       2000-044973 [JP 200044973], JP (Japan), February 22, 2000  
                  (20000222)  
INTL CLASS:     H01L-029/786; G02F-001/1368; H04N-005/66

#### ABSTRACT

PROBLEM TO BE SOLVED: To improve pixel numerical aperture in the display device of a reflection type or a transparent type, without causing the number of masks to be increased or using a black mask.

SOLUTION: At a part where light shielding is performed between pixels, a pixel electrode 167 and a source wiring 137 are partially overlapped and arranged, and a TFT is subjected to light shielding, by using a gate wiring 166 which overlaps with a channel forming region of the TFT. As a result, high pixel numerical aperture is realized.

COPYRIGHT: (C)2001, JPO  
?

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-313397

(P2001-313397A)

(43) 公開日 平成13年11月9日 (2001.11.9)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-コ-ト (参考)
H 0 1 L 29/786		H 0 4 N 5/66	1 0 2 A
G 0 2 F 1/1368		H 0 1 L 29/78	6 1 2 C
H 0 4 N 5/66	1 0 2	G 0 2 F 1/136	5 0 0
		H 0 1 L 29/78	6 1 9 B

審査請求 未請求 請求項の数26 O L (全 27 頁)

(21) 出願番号 特願2001-46401(P2001-46401)

(22) 出願日 平成13年2月22日 (2001.2.22)

(31) 優先権主張番号 特願2000-44973(P2000-44973)

(32) 優先日 平成12年2月22日 (2000.2.22)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72) 発明者 小山 潤

神奈川県厚木市長谷398番地 株式会社半

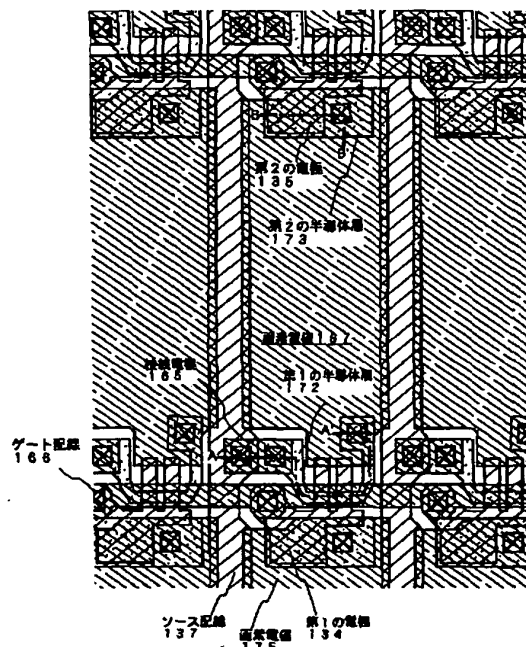
導体エネルギー研究所内

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【要約】

【課題】 マスク数を増加させることなく、ブラックマスクを用いずに反射型または透過型の表示装置における画素開口率を改善する。

【解決手段】 画素間を遮光する箇所は、画素電極167をソース配線137と一部重なるように配置し、TFTはTFTのチャネル形成領域と重なるゲート配線166によって遮光することによって、高い画素開口率を実現する。



## 【特許請求の範囲】

【請求項1】絶縁表面上にソース領域及びドレイン領域と、前記ソース領域と前記ドレイン領域との間に挟まれるチャンネル形成領域とを有する半導体層と、

前記半導体層上に第1絶縁膜と、

前記第1絶縁膜上に前記チャンネル形成領域と重なる電極と、

前記第1絶縁膜上にソース配線と、

前記電極及び前記ソース配線を覆う第2絶縁膜と、

前記第2絶縁膜上に前記電極と接続されたゲート配線とを有することを特徴とする半導体装置。

【請求項2】絶縁表面上にソース領域及びドレイン領域と、前記ソース領域と前記ドレイン領域との間に挟まれるチャンネル形成領域とを有する半導体層と、

前記半導体層上に第1絶縁膜と、

前記第1絶縁膜上に前記チャンネル形成領域と重なる電極と、

前記第1絶縁膜上にソース配線と、

前記電極及び前記ソース配線を覆う第2絶縁膜と、

前記第2絶縁膜上に前記電極と接続されたゲート配線と、

前記第2絶縁膜上に前記ソース配線及び前記半導体層と接続された接続電極と、

前記第2絶縁膜上に前記半導体層と接続された画素電極とを有することを特徴とする半導体装置。

【請求項3】請求項2において、前記画素電極は、前記第2絶縁膜を間に挟んで前記ソース配線と重なることを特徴とする半導体装置。

【請求項4】請求項1乃至3のいずれかにおいて、前記半導体層は、前記第1絶縁膜を間に挟んで前記ゲート配線と重なる領域を有することを特徴とする半導体装置。

【請求項5】請求項4において、前記半導体層のうち、前記第1絶縁膜を間に挟んで前記ゲート配線と重なる領域は、チャンネル形成領域を少なくとも含むことを特徴とする半導体装置。

【請求項6】請求項4または請求項5において、前記半導体層のうち、前記第1絶縁膜を間に挟んで前記ゲート配線と重なる領域は、前記チャンネル形成領域と前記ドレイン領域との間に存在する領域を少なくとも含むことを特徴とする半導体装置。

【請求項7】請求項4乃至6のいずれかにおいて、前記半導体層のうち、前記第1絶縁膜を間に挟んで前記ゲート配線と重なる領域は、前記チャンネル形成領域と前記ソース領域との間に存在する領域を少なくとも含むことを特徴とする半導体装置。

【請求項8】請求項4乃至7のいずれかにおいて、前記半導体層は、複数のチャンネル形成領域を有し、

前記半導体層のうち、前記第1絶縁膜を間に挟んで前記ゲート配線と重なる領域は、あるチャンネル形成領域とそ

他のチャンネル形成領域との間に存在する領域を少なくとも含むことを特徴とする半導体装置。

【請求項9】請求項1乃至8のいずれかにおいて、前記第1絶縁膜を間に挟んで前記チャンネル形成領域と重なる電極は、ゲート電極であることを特徴とする半導体装置。

【請求項10】請求項2乃至10のいずれかにおいて、前記電極及び前記ソース配線は同一材料で形成されたことを特徴とする半導体装置。

【請求項11】請求項2乃至10のいずれかにおいて、前記画素電極、前記接続電極、及び前記ゲート配線は同一材料で形成されたことを特徴とする半導体装置。

【請求項12】請求項1乃至11のいずれかにおいて、前記ゲート配線は、導電性を付与する不純物元素がドーピングされたpoly-Si、W、WSi<sub>x</sub>、Al、Cu、Ta、Cr、またはMoから選ばれた元素を主成分とする膜またはそれらの積層膜からなることを特徴とする半導体装置。

【請求項13】請求項1乃至12のいずれかにおいて、前記第1絶縁膜はゲート絶縁膜であることを特徴とする半導体装置。

【請求項14】請求項1乃至13のいずれかにおいて、前記第2絶縁膜は、シリコンを主成分とする第1の絶縁層と、有機樹脂材料から成る第2の絶縁層とからなることを特徴とする半導体装置。

【請求項15】請求項2乃至14のいずれかにおいて、前記画素電極を含む一つの画素は、前記第1絶縁膜を誘電体として、前記画素電極に接続された半導体層と、隣りあう画素のゲート配線に接続された電極とで保持容量を形成することを特徴とする半導体装置。

【請求項16】請求項15において、前記画素電極に接続された半導体層にはp型を付与する不純物元素が添加されたことを特徴とする半導体装置。

【請求項17】一对の基板と、前記一对の基板間に保持された液晶とを備えた液晶表示装置であって、

前記一对の基板のうち、一方の基板には画素部と駆動回路とが設けられ、

前記画素部には、

絶縁表面上にソース領域及びドレイン領域と、前記ソース領域と前記ドレイン領域との間に挟まれるチャンネル形成領域とを有する半導体層と、

前記半導体層上に第1絶縁膜と、

前記第1絶縁膜上に前記チャンネル形成領域と重なる電極と、

前記第1絶縁膜上にソース配線と、

前記電極及び前記ソース配線を覆う第2絶縁膜と、

前記第2絶縁膜上に前記電極と接続されたゲート配線と、

前記第2絶縁膜上に前記ソース配線及び前記半導体層と

接続された接続電極と、

前記第2絶縁膜上に前記半導体層と接続された画素電極とを備え、

他方の基板には、前記第1の半導体層と重なるように赤色カラーフィルタと青色カラーフィルタとが積層された遮光膜を有することを特徴とする半導体装置。

【請求項18】請求項17において、前記第2の絶縁膜上にコモン配線を有し、基板面に平行な電界が生じるように前記画素電極と前記コモン配線とが配置されたことを特徴とする半導体装置。

【請求項19】請求項2乃至18のいずれかにおいて、前記半導体装置は、前記画素電極がA1またはAgを主成分とする膜またはそれらの積層膜からなる反射型の液晶表示装置であることを特徴とする半導体装置。

【請求項20】請求項2乃至18のいずれかにおいて、前記半導体装置は、前記画素電極が透明導電膜からなる透過型の液晶表示装置であることを特徴とする半導体装置。

【請求項21】請求項1乃至20のいずれかにおいて、前記半導体装置は、パーソナルコンピュータ、ビデオカメラ、携帯型情報端末、デジタルカメラ、デジタルビデオディスクプレーヤー、または電子遊技機器であることを特徴とする半導体装置。

【請求項22】絶縁表面上に結晶質半導体膜からなる半導体層を形成する第1工程と、

前記半導体層上に第1絶縁膜を形成する第2工程と、

前記第1絶縁膜上に前記半導体層と重なる電極と、ソース配線とを形成する第3工程と、

前記電極及び前記ソース配線を覆う第2絶縁膜を形成する第4工程と、

前記第2絶縁膜上に前記電極と接続し、且つ前記半導体層と重なるゲート配線と、前記半導体層と前記ソース配線とを接続する接続電極と、前記ソース配線と重なる画素電極とを形成する第5工程とを有することを特徴とする半導体装置の作製方法。

【請求項23】絶縁表面上に結晶質半導体膜からなる第1の半導体層及び第2の半導体層を形成する第1工程と、

前記第1の半導体層及び前記第2の半導体層上に第1絶縁膜を形成する第2工程と、

前記第1絶縁膜上に前記第1の半導体層と重なる第1の電極と、前記第2の半導体層と重なる第2の電極と、ソース配線とを形成する第3工程と、

前記第1の電極、前記第2の電極、及び前記ソース配線を覆う第2絶縁膜を形成する第4工程と、

前記第2絶縁膜上に前記第1の電極と接続し、且つ第1の半導体層と重なるゲート配線と、前記第1の半導体層と前記ソース配線とを接続する接続電極と、前記ソース配線と重なる画素電極とを形成する第5工程とを有することを特徴とする半導体装置の作製方法。

【請求項24】請求項23において、前記画素電極と接

続された前記第2の半導体層は、隣りあう画素のゲート配線と接続された前記第2の電極と重なっていることを特徴とする半導体装置の作製方法。

【請求項25】請求項22乃至24のいずれかにおいて、前記第2絶縁膜は、シリコンを主成分とする第1の絶縁層と、有機樹脂材料から成る第2の絶縁層との積層膜からなることを特徴とする半導体装置の作製方法。

【請求項26】請求項22乃至25のいずれかにおいて、前記第2絶縁膜は、酸化シリコンまたは窒化シリコンまたは酸化窒化シリコンから成る第1の絶縁層と、ポリイミドまたはアクリルまたはポリアミドまたはポリイミドアミドまたはベンゾシクロブテンからなる第2の絶縁層との積層膜であることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は薄膜トランジスタ（以下、TFTという）で構成された回路を有する半導体装置およびその作製方法に関する。例えば、液晶表示パネルに代表される電気光学装置およびその様な電気光学装置を部品として搭載した電子機器に関する。

【0002】なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【0003】

【従来の技術】近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数〜数百nm程度）を用いて薄膜トランジスタ（TFT）を構成する技術が注目されている。薄膜トランジスタはICや電気光学装置のような電子デバイスに広く応用され、特に液晶表示装置のスイッチング素子として開発が急がれている。

【0004】液晶表示装置において、高品位な画像を得るために、画素電極をマトリクス状に配置し、画素電極の各々に接続するスイッチング素子としてTFTを用いたアクティブマトリクス型液晶表示装置が注目を集めている。

【0005】アクティブマトリクス型液晶表示装置には大きく分けて透過型と反射型の二種類のタイプが知られている。

【0006】特に、反射型の液晶表示装置は、透過型の液晶表示装置と比較して、バックライトを使用しないため、消費電力が少ないといった長所を有しており、モバイルコンピュータやビデオカメラ用の直視型表示ディスプレイとしての需要が高まっている。

【0007】なお、反射型の液晶表示装置は、液晶の光学変調作用を利用して、入射光が画素電極で反射して装置外部に出力される状態と、入射光が装置外部に出力されない状態とを選択し、明と暗の表示を行わせ、さらにそれらを組み合わせることで、画像表示を行うものであ

る。一般に反射型の液晶表示装置における画素電極は、アルミニウム等の光反射率の高い金属材料からなり、薄膜トランジスタ等のスイッチング素子に電氣的に接続している。

【0008】従来の反射型の液晶表示装置における画素構造を図23に示す。図23では、ゲート配線（走査線）11と容量配線12の2本を線形状にパターンニング形成している。また、ソース配線（信号線）14を線形状にパターンニング形成している。また、ソース配線14は行方向に、ゲート配線11は列方向にそれぞれ配置され、それぞれの配線同士を絶縁するため、ゲート配線11とソース配線14の間には層間絶縁膜が設けられていた。また、ソース配線14とゲート配線11は、一部交差しており、その交差点近傍に半導体層10を活性層としたTFTが配置されていることが従来の特徴である。

【0009】また、従来では、ソース配線14と同時に形成し、それぞれのソース配線間に画素電極15を形成することが知られている。この構造にした場合と、ソース配線と画素電極との間を遮光膜（ブラックマトリクスとも呼ぶ）13で遮光する必要があった。

【0010】また、従来では、遮光膜13として、クロムなどで形成された金属膜を所望な形状にパターンニングしていた。従って、従来では遮光膜自体を形成するための工程及びマスクが増加する結果となっていた。また、遮光膜13で十分に遮光するためには、遮光膜13と画素電極との間に層間絶縁膜を設けて絶縁することが必要となっていた。同様に層間絶縁膜の層数が増加すると、工程数が増えるためコスト上昇を招いていた。また、層間絶縁性を確保する上で不利となっていた。

【0011】また、従来の他の構造として、ソース配線11を覆って層間絶縁膜が設けられ、その上に画素電極は形成される構造が知られている。しかしながら、この構造にした場合、層数が増加して工程数が増えるため、コスト上昇を招いていた。

【0012】また、表示性能の面から画素には大きな保持容量を持たせるとともに、高開口率化が求められている。各画素が高い開口率を持つことにより光利用効率が向上し、表示装置の省電力化および小型化が達成できる。

【0013】近年、画素サイズの微細化が進み、より高精細な画像が求められている。画素サイズの微細化は1つの画素に占めるTFT及び配線の形成面積が大きくなり画素開口率を低減させている。

【0014】そこで、規定の画素サイズの中で各画素の高開口率を得るためには、画素の回路構成に必要な回路要素を効率的にレイアウトすることが不可欠である。

【0015】

【発明が解決しようとする課題】以上のように、少ないマスク数で画素開口率の高い反射型液晶表示装置または

透過型液晶表示装置を実現するためには、従来にない全く新しい画素構成が求められている。

【0016】本発明は、そのような要求に答えるものであり、マスク数及び工程数を増加させることなく、高い開口率を実現した画素構造を有する液晶表示装置を提供することを課題とする。

【0017】

【課題を解決するための手段】上述した従来技術の課題を解決するために以下の手段を講じた。

【0018】本発明は、ブラックマトリクスを用いることなく、TFT及び画素間を遮光する画素構造を特徴としている。TFTを遮光する手段の一つとして、ゲート電極とソース配線とを第1絶縁膜上に形成し、第1絶縁膜とは異なる第2絶縁膜上に形成されたゲート配線で活性層となる半導体層の大部分を覆うことを特徴としている。また、画素間を遮光する手段の一つとして、画素電極をソース配線と重ねて配置することも特徴としている。さらに、TFTを遮光する手段の一つとして、対向基板上に遮光膜としてカラーフィルタ（赤色のカラーフィルタ、または赤色のカラーフィルタと青色のカラーフィルタの積層膜）を素子基板のTFTと重ねて配置することも特徴としている。

【0019】本明細書で開示する発明の構成は、絶縁表面上にソース領域及びドレイン領域と、前記ソース領域と前記ドレイン領域との間に挟まれるチャネル形成領域とを有する半導体層（第1の半導体層172）と、前記半導体層（第1の半導体層172）上に第1絶縁膜と、前記第1絶縁膜上に前記チャネル形成領域と重なる電極（ゲート電極を含む第1の電極134）と、前記第1絶縁膜上にソース配線と、前記電極（ゲート電極を含む第1の電極134）及び前記ソース配線を覆う第2絶縁膜と、前記第2絶縁膜上に前記電極（ゲート電極を含む第1の電極134）と接続されたゲート配線166とを有する半導体装置である。

【0020】また、本明細書で開示する発明の構成は、絶縁表面上にソース領域及びドレイン領域と、前記ソース領域と前記ドレイン領域との間に挟まれるチャネル形成領域とを有する半導体層（第1の半導体層172）と、前記半導体層（第1の半導体層172）上に第1絶縁膜と、前記第1絶縁膜上に前記チャネル形成領域と重なる電極（ゲート電極を含む第1の電極134）と、前記第1絶縁膜上にソース配線と、前記電極及び前記ソース配線を覆う第2絶縁膜と、前記第2絶縁膜上に前記電極と接続されたゲート配線と、前記第2絶縁膜上に前記ソース配線及び前記半導体層（具体的にはソース領域またはドレイン領域）と接続された接続電極165と、前記第2絶縁膜上に前記半導体層（具体的にはドレイン領域またはドレイン領域）と接続された画素電極167とを有する半導体装置である。

【0021】また、上記構成において、前記画素電極

は、前記第2絶縁膜を間に挟んで前記ソース配線と重なるように配置され、画素電極とソース配線との間の光漏れを遮る。

【0022】また、上記各構成において、前記半導体層（第1の半導体層172）は、前記第1絶縁膜を間に挟んで前記ゲート配線と重なる領域を有することを特徴としている。

【0023】また、上記半導体層のうち、前記第1絶縁膜を間に挟んでゲート配線と重なる領域は、チャンネル形成領域、あるいは、前記チャンネル形成領域と前記ドレイン領域との間に存在する領域、あるいは、前記チャンネル形成領域と前記ソース領域との間に存在する領域を少なくとも含むことを特徴としており、外部からの光から保護されている。

【0024】また、前記第1絶縁膜を間に挟んで一つの半導体層上に複数のゲート電極が存在するマルチゲート構造の場合は、一つの半導体層に複数のチャンネル形成領域が存在しており、あるチャンネル形成領域とその他のチャンネル形成領域との間に存在する領域と重なるように前記ゲート配線を配置することが望ましい。

【0025】また、本発明は、マスク数の増加を抑えるために、前記第1絶縁膜上に前記電極及び前記ソース配線が同一材料で形成され、前記第2絶縁膜上に前記画素電極、前記接続電極、及び前記ゲート配線が同一材料で形成されたことを特徴としている。

【0026】また、上記各構成において、前記ゲート配線は、導電性を付与する不純物元素がドーブされたpoly-Si、W、WSi<sub>x</sub>、Al、Cu、Ta、Cr、またはMoから選ばれた元素を主成分とする膜またはこれらの積層膜からなることを特徴としている。

【0027】また、上記各構成において、前記第1の電極と前記半導体層とを絶縁するための前記第1絶縁膜はゲート絶縁膜である。

【0028】また、上記各構成において、ソース配線とゲート配線とを絶縁する前記第2絶縁膜は、シリコンを主成分とする第1の絶縁層と、有機樹脂材料から成る第2の絶縁層とからなることを特徴としている。

【0029】また、上記各構成において、前記画素電極を含む一つの画素は、前記第1絶縁膜を誘電体として、前記画素電極に接続された半導体層（第2の半導体層173）と、隣りあう画素のゲート配線に接続された電極（第2の電極135）とで保持容量を形成することを特徴としている。また、この半導体層（第2の半導体層173）にはp型を付与する不純物元素が添加されていることが好ましい。

【0030】また、他の発明の構成は、絶縁表面上に形成された半導体層と、該半導体層上に形成された絶縁膜と、該絶縁膜上に形成されたゲート電極とを含むTFTを備えた半導体装置において、前記ゲート電極は、端部がテーパー形状である第1の導電層を下層とし、前記第

1の導電層より狭い幅を有する第2の導電層を上層とし、前記半導体層は、前記絶縁膜を間に挟んで前記第2の導電層と重なるチャンネル形成領域と、該チャンネル形成領域と接して形成された第3の不純物領域と、該第3の不純物領域と接して形成された第2の不純物領域と、該第2の不純物領域と接して形成された第1の不純物領域とを含むことを特徴とする半導体装置である。

【0031】また、前記第1の導電層の側斜面が水平面となす角度（テーパー角とも言う）は、前記第2の導電層の側斜面が水平面となす角度より小さい。また、本明細書中では便宜上、テーパー角を有している側斜面をテーパー形状と呼び、テーパー形状を有している部分をテーパー部と呼ぶ。

【0032】また、上記構成において、前記第3の不純物領域は、前記絶縁膜を間に挟んで前記第1の導電層と重なることを特徴としている。この第3の不純物領域は、テーパー部を端部に有する第1の導電層と、絶縁膜とを通過させて半導体層に不純物元素を添加するドーピングによって形成される。また、ドーピングにおいて、半導体層上に位置する材料層の膜厚が厚くなればなるほどイオンの注入される深さが浅くなる。従って、テーパー形状となっている導電層の膜厚による影響を受け、半導体層中に添加される不純物元素の濃度も変化する。第1の導電層の膜厚が厚くなるに従って半導体層中の不純物濃度が低減し、薄くなるにつれて濃度が増加する。

【0033】また、上記構成において、前記第1の不純物領域は、ソース領域またはドレイン領域であることを特徴としている。

【0034】また、上記構成において、前記絶縁膜のうち、前記第2の不純物領域と重なる領域はテーパー形状である部分を含むことを特徴としている。この第2の不純物領域は、絶縁膜を通過させて半導体層に不純物元素を添加するドーピングによって形成される。従って、絶縁膜のうち、テーパー形状である部分の影響を受け、第2の不純物領域の不純物濃度の分布も変化する。絶縁膜の膜厚が厚くなるに従って第2の不純物領域中の不純物濃度が低減し、薄くなるにつれて濃度が増加する。なお、第2の不純物領域は第3の不純物領域と同一のドーピングによって形成されるが、第1の導電層と重なっていないため、第2の不純物領域の不純物濃度は、第3の不純物領域の不純物濃度より高い。また、チャンネル長方向における前記第2の不純物領域の幅は、前記第3の不純物領域の幅と同じ、或いは前記第3の不純物領域の幅よりも広い。

【0035】また、上記構成において、前記TFTはnチャンネル型TFT、あるいはpチャンネル型TFTであることを特徴としている。また、本発明においてはnチャンネル型TFTを用いて画素TFTを形成する。また、これらのnチャンネル型TFTやpチャンネル型TFTを用いたCMOS回路を備えた駆動回路を形成する。



【0036】また、本明細書で開示する発明の構成は、  
 一对の基板と、前記一对の基板間に保持された液晶とを  
 備えた液晶表示装置であって、前記一对の基板のうち、  
 一方の基板には画素部と駆動回路とが設けられ、前記画  
 素部には、絶縁表面上にソース領域及びドレイン領域  
 と、前記ソース領域と前記ドレイン領域との間に挟まれ  
 るチャンネル形成領域とを有する半導体層と、前記半導体  
 層上に第1絶縁膜と、前記第1絶縁膜上に前記チャンネル  
 形成領域と重なる電極と、前記第1絶縁膜上にソース配  
 線と、前記電極及び前記ソース配線を覆う第2絶縁膜  
 と、前記第2絶縁膜上に前記電極と接続されたゲート配  
 線と、前記第2絶縁膜上に前記ソース配線及び前記半導  
 体層と接続された接続電極165と、前記第2絶縁膜上  
 に前記半導体層と接続された画素電極167とを備え、  
 他方の基板には、前記第1の半導体層と重なるように赤  
 色カラーフィルタと青色カラーフィルタとが積層された  
 遮光膜を有することを特徴とする半導体装置である。

【0037】また、上記構成において、前記第2の絶縁  
 膜上にコモン配線を有し、基板面に平行な電界が生じる  
 ように前記画素電極と前記コモン配線とが配置されたI  
 PS方式の液晶表示装置とすることができる。

【0038】また、本明細書で開示する他の発明の構成  
 は、ゲート配線166は、ゲート電極134と異なった  
 絶縁膜上に形成されており、さらに前記ゲート電極13  
 4とソース配線137が第1の絶縁膜上に形成され、前  
 記ゲート配線166と画素電極167は前記第1の絶縁  
 膜とは異なる第2の絶縁膜上に形成されていることを特  
 徴とする半導体装置である。

【0039】また、上記構成において、前記画素電極が  
 AlまたはAgを主成分とする膜またはそれらの積層膜  
 からなる反射型の液晶表示装置とすることができる。

【0040】また、上記構成において、前記半導体装置  
 は、前記画素電極が透明導電膜からなる透過型の液晶表  
 示装置とすることができる。

【0041】また、上記構造を実現する作製工程におけ  
 る発明の構成は、絶縁表面上に結晶質半導体膜からなる  
 半導体層を形成する第1工程と、前記半導体層上に第1  
 絶縁膜を形成する第2工程と、前記第1絶縁膜上に前記  
 半導体層と重なる電極と、ソース配線とを形成する第3  
 工程と、前記電極及び前記ソース配線を覆う第2絶縁膜  
 を形成する第4工程と、前記第2絶縁膜上に前記電極と  
 接続し、且つ前記半導体層と重なるゲート配線と、前記  
 半導体層と前記ソース配線とを接続する接続電極と、前  
 記ソース配線と重なる画素電極とを形成する第5工程と  
 を有することを特徴とする半導体装置の作製方法であ  
 る。

【0042】また、上記構造を実現する作製工程におけ  
 る他の発明の構成は、絶縁表面上に結晶質半導体膜から  
 なる第1の半導体層172及び第2の半導体層173を  
 形成する第1工程と、前記第1の半導体層及び前記第2

の半導体層上に第1絶縁膜を形成する第2工程と、前記  
 第1絶縁膜上に前記第1の半導体層と重なる第1の電極  
 134と、前記第2の半導体層と重なる第2の電極13  
 5と、ソース配線137とを形成する第3工程と、前記  
 第1の電極134、前記第2の電極135、及び前記ソ  
 ース配線137を覆う第2絶縁膜を形成する第4工程  
 と、前記第2絶縁膜上に前記第1の電極134と接続  
 し、且つ第1の半導体層と重なるゲート配線166と、  
 前記第1の半導体層と前記ソース配線とを接続する接続  
 電極165と、前記ソース配線と重なる画素電極167  
 とを形成する第5工程とを有することを特徴とする半導  
 体装置の作製方法である。

【0043】また、上記構成において、前記画素電極と  
 接続された前記第2の半導体層は、隣りあう画素のゲー  
 ト配線と接続された前記第2の電極と重なっていること  
 を特徴としている。

【0044】

【発明の実施の形態】本発明の実施形態について、以下  
 に説明する。

【0045】本発明の液晶表示装置は、基本的な構成と  
 して、互いに所定の間隙を間に挟んで接着した素子基板  
 及び対向基板と、前記間隙に保持された電気光学物質  
 (液晶材料等)とを備えている。

【0046】本発明の画素構造の具体例を図1に示す。  
 ただし、ここでは反射型液晶表示装置の例を示す。

【0047】素子基板は、図1に示すように、行方向に  
 配置されたゲート配線166と、列方向に配置されたソ  
 ース配線137と、ゲート配線とソース配線の交差点近  
 傍の画素TFTを有する画素部と、nチャンネル型TFT  
 やpチャンネル型TFTを有する駆動回路とを含む。

【0048】ただし、図1におけるゲート配線は、行方  
 向に配置された島状の第1の電極134と接続したもの  
 を指している。また、ゲート配線は第2絶縁膜上に接し  
 て設けられたものである。一方、島状の第1の電極13  
 4は、ソース配線137と同様に第1絶縁膜(以下、ゲ  
 ート絶縁膜とも呼ぶ)上に接して形成されたものであ  
 る。

【0049】また、接続電極165は画素電極167、  
 175、およびゲート配線166と同様に第2絶縁膜  
 (以下、層間絶縁膜とも呼ぶ)上に形成されたものであ  
 る。

【0050】本発明の画素構造とすることによって、T  
 FTの活性層はゲート配線と重ねることが可能となり、  
 遮光することができる。

【0051】素子基板上のTFTを遮光するため、第1  
 の半導体層172のうち少なくともチャンネル形成領域  
 は、ゲート配線166により遮光されるよう配置する。  
 また、チャンネル形成領域以外にも、チャンネル形成領域と  
 前記ドレイン領域との間に存在する領域(LDD領域、  
 オフセット領域等)や、チャンネル形成領域と前記ソース

10

20

30

40

50

領域との間に存在する領域をゲート配線166により遮光することが望ましい。また、図1の構造はマルチゲート構造となっているため一つの半導体層には、複数のチャネル形成領域が存在している。従って、あるチャネル形成領域とその他のチャネル形成領域との間に存在する領域もゲート配線166によって遮光することが望ましい。

【0052】このゲート配線166は、ゲート電極となる第1の電極134が設けられた絶縁膜とは異なる絶縁膜上に接して形成されている。また、図1における画素構造においては、この第1の電極134はゲート絶縁膜を介して第1の半導体層と重なるゲート電極となるだけでなく、隣りあう画素の保持容量を構成する電極の一つとなる役目をも果たしている。

【0053】また、本発明の画素構造とすることによって、各画素間は、主に画素電極167の端部をソース配線137と重ね、遮光することが可能となる。

【0054】また、画素電極167と接続電極165との間隙、画素電極167とゲート配線166との間隙等は、対向基板に設けたカラーフィルタにより遮光する。なお、赤色のカラーフィルタ、または赤色のカラーフィルタと青色のカラーフィルタの積層膜、または赤色のカラーフィルタと青色のカラーフィルタと緑色のカラーフィルタの積層膜を所定の位置（素子基板のTFTの位置）にあわせてバタニングしたものに対向基板上に設ける。

【0055】このような構成とすることによって、素子基板のTFTは、主にゲート配線166により遮光され、さらに各画素の間隙は対向基板に設けられたカラーフィルタ（赤色のカラーフィルタ、または赤色のカラーフィルタと青色のカラーフィルタの積層膜、または赤色のカラーフィルタと青色のカラーフィルタと緑色のカラーフィルタの積層膜）により遮光することができる。

【0056】また、画素電極167の保持容量は、第2の半導体層173を覆う絶縁膜を誘電体とし、画素電極167と接続された第2の半導体層173と、第2の電極135とで形成している。この時、第2の半導体層の一部にはp型を付与する不純物元素が添加されており、第2の電極に電圧が印加された時、チャネル形成領域が形成されることによって保持容量が形成される。さらに、第2の電極と画素電極とが重なっている箇所では、層間絶縁膜157、158を誘電体として保持容量が形成される。なお、ここでは第2の電極を用いて保持容量を形成しているが、特に限定されず、容量配線や容量電極を配置する画素構造としてもよい。

【0057】また、図1に示す画素構造を有する画素部と駆動回路とを有する素子基板を形成するために必要なマスク数は、5枚とすることができる。即ち、1枚目は、第1の半導体層172及び第2の半導体層173をバタニングするマスク、2枚目は、第1の電極13

4、第2の電極135、及びソース配線137をバタニングするマスク、3枚目は、駆動回路のpチャネル型TFT及び保持容量を形成するためにp型を付与する不純物元素を添加する際、nチャネル型TFTを覆うためのマスク、4枚目は、第1の半導体層と第2の半導体層と第1の電極と第2の電極とにそれぞれ達するコンタクトホールを形成するマスク、5枚目は、接続電極165、205、ゲート配線166、及び画素電極167、175をバタニングするためのマスクである。

【0058】以上のように、図1に示す画素構造とした場合、少ないマスク数で画素開口率（約78%）の高い反射型液晶表示装置を実現することができる。

【0059】また、画素電極として透光性導電膜を用い、所望の形状にバタニングを行えば、1枚マスクが増加するが、透過型液晶表示装置を作製することもできる。透過型とした場合にも、少ないマスク数で画素開口率を約56%とすることができる。

【0060】また、基板面と平行な電界が形成されるようにコモン配線と画素電極とを配置してIPS方式の透過型液晶表示装置を作製することもできる。

【0061】以上の構成でなる本発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

【0062】

【実施例】[実施例1]本実施例では同一基板上に画素部と、画素部の周辺に設ける駆動回路のTFT（nチャネル型TFT及びpチャネル型TFT）を同時に作製する方法について詳細に説明する。

【0063】まず、図2（A）に示すように、コーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスからなる基板100上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜101を形成する。例えば、プラズマCVD法でSiH<sub>4</sub>、NH<sub>3</sub>、N<sub>2</sub>Oから作製される酸化窒化シリコン膜102aを10～200nm（好ましくは50～100nm）形成し、同様にSiH<sub>4</sub>、N<sub>2</sub>Oから作製される酸化窒化水素化シリコン膜101bを50～200nm（好ましくは100～150nm）の厚さに積層形成する。本実施例では下地膜101を2層構造として示したが、前記絶縁膜の単層膜または2層以上積層させた構造として形成しても良い。

【0064】島状半導体層102～106は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この島状半導体層102～106の厚さは25～80nm（好ましくは30～60nm）の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム（SiGe）合金などで形成すると良い。

【0065】レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO<sub>4</sub>レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数30Hzとし、レーザーエネルギー密度を100~400mJ/cm<sup>2</sup>(代表的には200~300mJ/cm<sup>2</sup>)とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数1~10kHzとし、レーザーエネルギー密度を300~600mJ/cm<sup>2</sup>(代表的には350~500mJ/cm<sup>2</sup>)とする。そして幅100~1000μm、例えば400μmで線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率(オーバーラップ率)を80~98%として行う。

【0066】次いで、島状半導体層102~106を覆うゲート絶縁膜107を形成する。ゲート絶縁膜107はプラズマCVD法またはスパッタ法を用い、厚さを40~150nmとしてシリコンを含む絶縁膜で形成する。本実施例では、120nmの厚さで酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS(Tetraethyl Orthosilicate)とO<sub>2</sub>とを混合し、反応圧力40Pa、基板温度300~400℃とし、高周波(13.56MHz)電力密度0.5~0.8W/cm<sup>2</sup>で放電させて形成することができる。このようにして作製される酸化シリコン膜は、その後400~500℃の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0067】そして、ゲート絶縁膜107上にゲート電極を形成するための第1の導電膜108と第2の導電膜109とを形成する。本実施例では、第1の導電膜108をTa<sub>2</sub>Nで50~100nmの厚さに形成し、第2の導電膜をWで100~300nmの厚さに形成する。

【0068】Ta<sub>2</sub>N膜はスパッタ法で形成し、Taのターゲットを窒素を含む雰囲気内でスパッタする。W膜を形成する場合には、Wをターゲットとしたスパッタ法で形成する。その他に6フッ化タングステン(WF<sub>6</sub>)を用いる熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20μΩcm以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.9999%または99.99%のWターゲットを用い、さらに成

膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9~20μΩcmを実現することができる。

【0069】なお、本実施例では、第1の導電膜108をTa<sub>2</sub>N、第2の導電膜109をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cuから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の他の組み合わせの一例は、第1の導電膜をタンタル(Ta)で形成し、第2の導電膜をWとする組み合わせ、第1の導電膜を窒化タンタル(Ta<sub>2</sub>N)で形成し、第2の導電膜をAlとする組み合わせ、第1の導電膜を窒化タンタル(Ta<sub>2</sub>N)で形成し、第2の導電膜をCuとする組み合わせで形成することが好ましい。

【0070】次に、レジストによるマスク110~116を形成し、電極及び配線を形成するための第1のエッチング処理を行う。本実施例ではICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用い、エッチング用ガスにCF<sub>4</sub>とCl<sub>2</sub>を混合し、1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成して行う。基板側(試料ステージ)にも100WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。CF<sub>4</sub>とCl<sub>2</sub>を混合した場合にはW膜及びTa<sub>2</sub>N膜とも同程度にエッチングされる。

【0071】上記エッチング条件では、レジストによるマスクの形状に適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパー形状となる。テーパー部の角度は15~45°となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10~20%程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は2~4(代表的には3)であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は20~50nm程度エッチングされることになる。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層118~124(第1の導電層118a~124aと第2の導電層118b~124b)を形成する。117はゲート絶縁膜であり、第1の形状の導電層118~124で覆われない領域は20~50nm程度エッチングされ薄くなった領域が形成される。

【0072】また、本実施例では1回のエッチングにより第1の形状の導電層118~124を形成したが、複数のエッチングによって形成してもよいことは言うまでもない。

【0073】そして、第1のドーピング処理を行いn型を付与する不純物元素を添加する。(図2(B))ドー

ピングの方法はイオンドープ法若しくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14} \text{ atoms/cm}^2$ とし、加速電圧を60～100 keVとして行う。n型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いる。この場合、導電層118～122がn型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域125～129が形成される。第1の不純物領域125～129には $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atomic/cm}^3$ の濃度範囲でn型を付与する不純物元素を添加する。

【0074】次に、図2(C)に示すように第2のエッチング処理を行う。同様にICPエッチング法を用い、エッチングガスに $\text{CF}_4$ と $\text{Cl}_2$ と $\text{O}_2$ を混合して、1Paの圧力でコイル型の電極に500WのRF電力(13.56MHz)を供給し、プラズマを生成して行う。基板側(試料ステージ)には50WのRF(13.56MHz)電力を投入し、第1のエッチング処理に比べ低い自己バイアス電圧を印加する。このような条件によりW膜を異方性エッチングし、かつ、それより遅いエッチング速度で第1の導電層であるTa<sub>2</sub>Nを異方性エッチングして第2の形状の導電層131～137(第1の導電層131a～137aと第2の導電層131b～137b)を形成する。130はゲート絶縁膜であり、第2の形状の導電層131～137で覆われない領域はさらに20～50nm程度エッチングされ薄くなった領域が形成される。

【0075】また、本実施例では1回のエッチングにより図2(C)に示した第2の形状の導電層131～137を形成したが、複数のエッチングによって形成してもよいことは言うまでもない。例えば、 $\text{CF}_4$ と $\text{Cl}_2$ の混合ガスによるエッチングを行った後、 $\text{CF}_4$ と $\text{Cl}_2$ と $\text{O}_2$ の混合ガスによるエッチングを行ってもよい。

【0076】W膜やTa<sub>2</sub>N膜の $\text{CF}_4$ と $\text{Cl}_2$ の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することができる。WとTa<sub>2</sub>Nのフッ化物と塩化物の蒸気圧を比較すると、Wのフッ化物である $\text{WF}_6$ が極端に高く、その他の $\text{WCl}_5$ 、 $\text{TaF}_5$ 、 $\text{TaCl}_5$ は同程度である。従って、 $\text{CF}_4$ と $\text{Cl}_2$ の混合ガスではW膜及びTa<sub>2</sub>N膜共にエッチングされる。しかし、この混合ガスに適量の $\text{O}_2$ を添加すると $\text{CF}_4$ と $\text{O}_2$ が反応してCOとFになり、FラジカルまたはFイオンが多量に発生する。その結果、フッ化物の蒸気圧が高いW膜のエッチング速度が増大する。一方、Ta<sub>2</sub>NはFが増大しても相対的にエッチング速度の増加は少ない。また、Ta<sub>2</sub>NはWに比較して酸化されやすいので、 $\text{O}_2$ を添加することでTa<sub>2</sub>Nの表面が多少酸化される。Ta<sub>2</sub>Nの酸化物はフッ素や塩素と反応しないためさらにTa<sub>2</sub>N膜のエッチング速度は低下する。従って、W膜とTa<sub>2</sub>N膜とのエッチング速度に差を作ることが可能となりW膜のエッチング速度をTa<sub>2</sub>N膜

よりも大きくすることが可能となる。

【0077】そして、図3(A)に示すように第2のドーピング処理を行う。この場合、第1のドーピング処理よりもドーズ量を下げた高い加速電圧の条件としてn型を付与する不純物元素をドーピングする。例えば、加速電圧を70～120 keVとし、 $1 \times 10^{13} \text{ /cm}^2$ のドーズ量で行い、図2(B)で島状半導体層に形成された第1の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第2の形状の導電層131b～135bを不純物元素に対するマスクとして用い、第1の導電層131a～135aの下側の領域にも不純物元素が添加されるようにドーピングする。こうして、第1の導電層131a～135aと重なる第3の不純物領域143～147と、第1の不純物領域と第3の不純物領域との間の第2の不純物領域138～142とを形成する。n型を付与する不純物元素は、第2の不純物領域で $1 \times 10^{17} \sim 1 \times 10^{19} \text{ atoms/cm}^3$ の濃度となるようにし、第3の不純物領域で $1 \times 10^{16} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ の濃度となるようにする。

【0078】また、ここでは、レジストマスクをそのままの状態としたまま、第2のドーピング処理を行った例を示したが、レジストマスクを除去した後、第2のドーピング処理を行ってもよい。

【0079】そして、図3(B)に示すように、pチャネル型TFTを形成する島状半導体層104に一導電型とは逆の導電型の不純物元素が添加された第4の不純物領域151～156を形成する。第2の導電層132、135を不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、nチャネル型TFTを形成する島状半導体層103、105、106はレジストマスク148～150で全面を被覆しておく。不純物領域151～156にはそれぞれ異なる濃度でリンが添加されているが、ジボラン( $\text{B}_2\text{H}_6$ )を用いたイオンドープ法で形成し、そのいずれの領域においても不純物濃度を $2 \times 10^{20} \sim 2 \times 10^{21} \text{ atoms/cm}^3$ となるようにする。実際には、第4の不純物領域に含まれるボロンは、第2のドーピング処理と同様に半導体層上に位置するテーパー形状となっている導電層や絶縁膜の膜厚による影響を受け、第4の不純物領域中に添加される不純物元素の濃度は変化している。

【0080】以上までの工程でそれぞれの島状半導体層に不純物領域が形成される。島状半導体層と重なる第2の導電層131～134がゲート電極として機能する。また、137はソース配線、134は、一部がゲート電極としての機能を果たす第1の電極、135は保持容量を形成するための第2の電極として機能する。

【0081】こうして導電型の制御を目的として図3(C)に示すように、それぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。この工程はファーンズアニール炉を用いる熱アニール法で行う。その

他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することができる。熱アニール法では酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400~700℃、代表的には500~550℃で行うものであり、本実施例では500℃で4時間の熱処理を行う。ただし、131~137に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜(シリコンを主成分とする絶縁膜、例えば窒化珪素膜)を形成した後で活性化を行うことが好ましい。

【0082】この活性化工程後の画素部における上面図を図6に示す。なお、図1~図5に対応する部分には同じ符号を用いている。図3中の鎖線C-C'は図6中の鎖線C-C'で切断した断面図に対応している。また、図3中の鎖線D-D'は図6中の鎖線D-D'で切断した断面図に対応している。

【0083】さらに、3~100%の水素を含む雰囲気中で、300~550℃で1~12時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0084】また、活性化処理としてレーザーアニール法を用いる場合は、窒化珪素膜または窒化酸化珪素膜からなる保護膜を形成し、上記水素化を行った後、YAGレーザー等のレーザー光を照射すればよい。

【0085】次いで、第1の層間絶縁膜157を酸化窒化シリコン膜から100~200nmの厚さで形成する。次いで、第1の層間絶縁膜157上に有機絶縁膜材料から成る第2の層間絶縁膜158を形成する。次いで、コンタクトホールを形成するためのエッチング工程を行う。

【0086】そして、駆動回路406において島状半導体層のソース領域とコンタクトを形成するソース配線159~161、ドレイン領域とコンタクトを形成するドレイン配線162~164を形成する。また、画素部407においては、画素電極167、ゲート配線166、接続電極165を形成する。(図4)この接続電極165によりソース配線137は、画素TFT404と電気的な接続が形成される。また、ゲート配線166は、第1の電極と電気的な接続が形成される。また、画素電極167は、画素TFTの活性層に相当する島状半導体層(図1中における第1の半導体層172に相当)及び保持容量を形成する島状半導体層(図1中における第2の半導体層173に相当)とそれぞれ電気的な接続が形成される。

【0087】以上の様にして、nチャネル型TFT401、pチャネル型TFT402、nチャネル型TFT403を有する駆動回路406と、画素TFT404、保

持容量405とを有する画素部407を同一基板上に形成することができる。本明細書中ではこのような基板を便宜上アクティブマトリクス基板と呼ぶ。

【0088】駆動回路406のnチャネル型TFT401はチャンネル形成領域168、ゲート電極を形成する第2の導電層131と重なる第3の不純物領域143(GOLD領域)、ゲート電極の外側に形成される第2の不純物領域138(LDD領域)とソース領域またはドレイン領域として機能する第1の不純物領域125を有している。pチャネル型TFT402にはチャンネル形成領域169、ゲート電極を形成する第2の導電層132と重なる第4の不純物領域153、ゲート電極の外側に形成される第4の不純物領域152、ソース領域またはドレイン領域として機能する第4の不純物領域151を有している。nチャネル型TFT403にはチャンネル形成領域170、ゲート電極を形成する第2の導電層133と重なる第3の不純物領域145(GOLD領域)、ゲート電極の外側に形成される第2の不純物領域140(LDD領域)とソース領域またはドレイン領域として機能する第1の不純物領域127を有している。

【0089】画素部の画素TFT404にはチャンネル形成領域171、ゲート電極を形成する第2の導電層134と重なる第3の不純物領域146(GOLD領域)、ゲート電極の外側に形成される第2の不純物領域141(LDD領域)とソース領域またはドレイン領域として機能する第1の不純物領域128を有している。また、保持容量405の一方の電極として機能する半導体層には第4の不純物領域と同じ濃度で、それぞれp型を付与する不純物元素が添加されており、第1の電極135とその間の絶縁層(ゲート絶縁膜と同じ層)とで保持容量を形成している。また、ゲート電極としても機能する第2の電極を保持容量405の一方の電極としたため、半導体層にはp型を付与する不純物元素が添加されている。対角4インチ以下の画面が小さい場合には、小さい保持容量でも十分であり開口率が重視されるため、本実施例の容量構成とすることが好ましい。一方、大面積の画面が必要とされる場合には、保持容量が比較的大きくとれる図13に示す画素構造とすることが望ましい。

【0090】本実施例で作製するアクティブマトリクス基板の画素部の上面図を図1に示す。なお、図2~図6に対応する部分には同じ符号を用いている。図1中の鎖線A-A'は図4中の鎖線A-A'で切断した断面図に対応している。また、図1中の鎖線B-B'は図6中の鎖線B-B'で切断した断面図に対応している。

【0091】このように、本実施例の画素構造を有するアクティブマトリクス基板は、一部がゲート電極の機能を果たす第1の電極134とゲート配線166とを異なる層に形成し、ゲート配線166で半導体層を遮光することを特徴としている。

【0092】また、本実施例の画素構造は、ブラックマ

トリクスを用いることなく、画素電極間の隙間が遮光されるように、画素電極の端部をソース配線と重なるように配置する。

【0093】上述の画素構造とすることにより大きな面積を有する画素電極を配置でき、開口率を向上させることができる。

【0094】また、本実施例で示す工程に従えば、アクティブマトリクス基板の作製に必要なフォトマスクの数を5枚（島状半導体層パターンマスク、第1配線パターンマスク（第1の電極134、第2の電極135、ソース配線137を含む）、p型TFTのソース領域及びドレイン領域形成のパターンマスク、コンタクトホールのパターンマスク、第2配線パターンマスク（画素電極167、接続電極165、ゲート配線166を含む）とすることができる。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することができる。

【0095】また、本実施例では、ゲート電極とソース配線を同時に形成する例を示したが、マスクを1枚増やし、さらにゲート電極と第1の電極を別の工程で形成してもよい。即ち、まず、半導体層と重なりゲート電極となる部分だけを形成し、順次n型またはp型の不純物元素を添加し、活性化を行った後、ゲート電極と重ねて第1の電極を形成する。この際、コンタクトホールの形成を行うことなく、単なる重ね合わせでゲート電極と第1の電極とのコンタクトを形成する。また、第1の電極と同時にソース配線を形成する。こうすることによって第1の電極及びソース配線の材料として低抵抗なアルミニウムや銅を用いることが可能となる。

【0096】[実施例2]本実施例では、実施例1で作製したアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を以下に説明する。説明には図5を用いる。

【0097】まず、実施例1に従い、図4の状態のアクティブマトリクス基板を得た後、図4のアクティブマトリクス基板上に配向膜567を形成しラビング処理を行う。

【0098】一方、対向基板569を用意する。対向基板569にはカラーフィルタ570、571、オーバーコート層573を形成する。カラーフィルタはTFTの上方で赤色のカラーフィルタ570と青色のカラーフィルタ571とを重ねて形成し遮光膜を兼ねる構成とする。実施例1の基板を用いた場合、少なくともTFTと、接続電極と画素電極との間を遮光する必要があるため、それらの位置を遮光するように赤色のカラーフィルタと青色のカラーフィルタを重ねて配置することが好ましい。

【0099】また、接続電極165に合わせて赤色のカラーフィルタ570、青色のカラーフィルタ571、緑色のカラーフィルタ572とを重ね合わせてスペーサを形成する。各色のカラーフィルタはアクリル樹脂に顔料

を混合したもので1～3μmの厚さで形成する。これは感光性材料を用い、マスクを用いて所定のパターンに形成することができる。スペーサの高さはオーバーコート層の厚さ1～4μmを考慮することにより2～7μm、好ましくは4～6μmとすることができ、この高さによりアクティブマトリクス基板と対向基板とを貼り合わせた時のギャップを形成する。オーバーコート層は光硬化型または熱硬化型の有機樹脂材料で形成し、例えば、ポリイミドやアクリル樹脂などを用いる。

10 【0100】スペーサの配置は任意に決定すれば良いが、例えば図5で示すように接続電極上に位置が合うように対向基板に配置すると良い。また、駆動回路のTFT上にその位置を合わせてスペーサを対向基板上に配置してもよい。このスペーサは駆動回路部の全面に渡って配置しても良いし、ソース線およびドレイン線を覆うようにして配置しても良い。

【0101】オーバーコート層573を形成した後、対向電極576をバタニング形成し、配向膜574を形成した後、ラビング処理を行う。

20 【0102】そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール剤568で貼り合わせる。シール剤568にはフィラーが混入されていて、このフィラーとスペーサによって均一な間隔を持って2枚の基板が貼り合わせられる。その後、両基板の間に液晶材料を注入し、封止剤（図示せず）によって完全に封止する。液晶材料には公知の液晶材料を用いれば良い。このようにして図5に示すアクティブマトリクス型液晶表示装置が完成する。

30 【0103】[実施例3]実施例2を用いて得られたアクティブマトリクス型液晶表示装置（図5）の構成を図7の上面図を用いて説明する。なお、図5と対応する部分には同じ符号を用いた。

【0104】図7（A）で示す上面図は、画素部、駆動回路、FPC（フレキシブルプリント配線板：Flexible Printed Circuit）を貼り付ける外部入力端子203、外部入力端子と各回路の入力部までを接続する配線204などが形成されたアクティブマトリクス基板201と、カラーフィルタなどが形成された対向基板202とがシール材568を間に挟んで貼り合わされている。

40 【0105】ゲート配線側駆動回路205とソース配線側駆動回路206の上面には対向基板側に赤色カラーフィルタまたは赤色と青色のカラーフィルタを積層させた遮光膜207が形成されている。また、画素部407上の対向基板側に形成されたカラーフィルタ208は赤色（R）、緑色（G）、青色（B）の各色のカラーフィルタが各画素に対応して設けられている。実際の表示に際しては、赤色（R）のカラーフィルタ、緑色（G）のカラーフィルタ、青色（B）のカラーフィルタの3色でカラー表示を形成するが、これら各色のカラーフィルタの  
50 配列は任意なものとする。

【0106】図8(A)は図7(A)で示す外部入力端子203のF-F'線に対する断面図を示している。外部入力端子はアクティブマトリクス基板側に形成され、層間容量や配線抵抗を低減し、断線による不良を防止するために画素電極と同じ層で形成される配線209によって層間絶縁膜158を間に挟んでゲート配線と同じ層で形成される配線211と接続する。

【0107】また、外部入力端子にはベースフィルム212と配線213から成るFPCが異方性導電性樹脂214で貼り合わされている。さらに補強板215で機械的強度を高めている。

【0108】図8(B)はその詳細図を示し、図8(A)で示す外部入力端子の断面図を示している。アクティブマトリクス基板側に設けられる外部入力端子が第1の電極及びソース配線と同じ層で形成される配線211と、画素電極と同じ層で形成される配線209とから形成されている。勿論、これは端子部の構成を示す一例であり、どちらか一方の配線のみで形成しても良い。例えば、第1の電極及びソース配線と同じ層で形成される配線211で形成する場合にはその上に形成されている層間絶縁膜を除去する必要がある。画素電極と同じ層で形成される配線209は、Ti膜209a、Al膜209b、Sn膜209cの3層構造で形成されている。FPCはベースフィルム212と配線213から形成され、この配線213と画素電極と同じ層で形成される配線209とは、熱硬化型の接着剤214とその中に分散している導電性粒子216とから成る異方性導電性接着剤で貼り合わされ、電気的な接続構造を形成している。

【0109】一方、図7(B)は図7(A)で示す外部入力端子203のE-E'線に対する断面図を示している。導電性粒子216の外径は配線209のピッチよりも小さいので、接着剤214中に分散する量を適当なものとすると隣接する配線と短絡することなく対応するFPC側の配線と電気的な接続を形成することができる。

【0110】以上のようにして作製されるアクティブマトリクス型の液晶表示装置は各種電子機器の表示部として用いることができる。

【0111】[実施例4]実施例1で作製したアクティブマトリクス基板は、そのまま反射型の表示装置に適用することができる。一方、透過型の液晶表示装置とする場合には画素部の各画素に設ける画素電極を透明電極で形成すれば良い。本実施例では透過型の液晶表示装置に対応するアクティブマトリクス基板の作製方法について図9を用いて説明する。

【0112】アクティブマトリクス基板は半導体層に達するコンタクトホール形成まで実施例1に従って作製する。次いで、ソース配線137とソース領域を接続する接続電極165と、ゲート配線300と、ドレイン電極と画素電極を接続する接続電極301を形成する。(図9(A))これらの電極や配線は導電性の金属膜をスパ

ッタ法や真空蒸着法で形成した後、パターニングする。接続電極301を例としてこの構成を図9(B)で詳細に説明すると、Ti膜301aを50~150nmの厚さで形成し、島状半導体層のソースまたはドレイン領域を形成する半導体膜とコンタクトを形成する。そのTi膜301a上に重ねてAl膜301bを300~400nmの厚さで形成し、さらにTi膜301cまたは窒化チタン(TiN)膜を100~200nmの厚さで形成して3層構造とする。その後、透明導電膜を全面に形成し、フォトマスクを用いたパターニング処理およびエッチング処理により画素電極303を形成する。画素電極303は、有機樹脂材料から成る第2の層間絶縁膜上に形成され、コンタクトホールを介さずに画素TFT404の接続電極301と重なる部分を設け電気的な接続を形成している。

【0113】また、最初に第2の層間絶縁膜上に透明導電膜を形成し、パターニング処理およびエッチング処理をして画素電極を形成した後、接続電極を画素電極に接して一部積層させてコンタクトホールを介さずに接続部を形成してもよい。

【0114】透明導電膜の材料は、酸化インジウム( $\text{In}_2\text{O}_3$ )や酸化インジウム酸化スズ合金( $\text{In}_2\text{O}_3\text{-SnO}_2$ ;ITO)などをスパッタ法や真空蒸着法などを用いて形成して用いることができる。このような材料のエッチング処理は塩酸系の溶液により行う。また、ITOのエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金( $\text{In}_2\text{O}_3\text{-ZnO}$ )を用いても良い。酸化インジウム酸化亜鉛合金は表面平滑性に優れ、ITOに対して熱安定性にも優れているので、接続電極301の端面で、Al膜301bが画素電極303と接触して腐蝕反応をすることを防止できる。同様に、酸化亜鉛(ZnO)も適した材料であり、さらに可視光の透過率や導電率を高めるためにガリウム(Ga)を添加した酸化亜鉛( $\text{ZnO:Ga}$ )などを用いることができる。

【0115】また、図25に画素の上面図を示す。図25に示した画素の開口率は約56%である。なお、図9に対応する部分には同じ符号を用いた。

【0116】また、透過型の液晶表示装置の端子部の断面図を図9(C)に示した。アクティブマトリクス基板側に設けられる外部入力端子が第1の電極及びソース配線と同じ層で形成される配線311と、画素電極と同じ層で形成される配線309とから形成されている。勿論、これは端子部の構成を示す一例であり、どちらか一方の配線のみで形成しても良い。例えば、第1の電極及びソース配線と同じ層で形成される配線311で形成する場合にはその上に形成されている層間絶縁膜を除去する必要がある。

【0117】また、画素電極と同じ層で形成される配線309は、Ti膜309a、Al膜309b、Ti膜3

10

20

30

40

50

09cの3層構造で形成されている。この配線309を形成した後、Alが露呈している箇所に酸化物を形成する処理を行うことで、Al膜256bが画素電極257と接触して腐蝕反応をすることを防止できる。

【0118】また、FPCはベースフィルム312と配線313から形成され、この配線313と画素電極と同じ層で形成される配線309とは、熱硬化型の接着剤314とその中に分散している導電性粒子316とから成る異方性導電性接着剤で貼り合わされ、電気的な接続構造を形成している。

【0119】以上のように、実施例1では反射型の液晶表示装置を作製できるアクティブマトリクス基板を5枚のフォトリソにより作製したが、さらに1枚のフォトリソの追加（合計6枚）で、透過型の液晶表示装置に対応したアクティブマトリクス基板を完成させることができる。本実施例では、実施例1と同様な工程として説明したが、このような構成は実施例2に適用することができる。

【0120】[実施例5]本実施例では、第2配線としてAgとAlの積層構造を用いた例を図10に示す。なお、本実施例は実施例1とは、第2配線パターン以外の構成が同一である。ここでは実施例1と異なる点について述べる。

【0121】本実施例では、引き出し電極609として反射率の高いAgを含む積層構造を用いた。この引き出し電極609は、ここでは図示しない画素電極、接続電極、ゲート配線と同時に作製される。609aはAlからなる抵抗率の低い導電層、609bはAgを主成分とする反射率の高い導電層である。このような組み合わせとすることにより反射率が高く、且つ配線抵抗の低いアクティブマトリクス基板を実現できる。

【0122】なお、本実施例は実施例1乃至4のいずれか一と自由に組み合わせることができる。

【0123】[実施例6]本実施例では、実施例1とはアクティブマトリクス基板のTFT構造が異なる他の例を図11を用いて説明する。

【0124】図11に示すアクティブマトリクス基板は、第1のpチャンネル型TFT850と第2のnチャンネル型TFT851を有するロジック回路部855と第2のnチャンネル型TFT852から成るサンプリング回路部856とを有する駆動回路857と、画素TFT853と保持容量854を有する画素部858とが形成されている。駆動回路857のロジック回路部855のTFTはシフトレジスタ回路やバッファ回路などを形成し、サンプリング回路部856のTFTは基本的にはアナログスイッチで形成する。

【0125】これらのTFTは基板801に形成した下地膜802上の島状半導体層803～806にチャンネル形成領域やソース領域、ドレイン領域及びLDD領域などを設けて形成する。下地膜や島状半導体層は実施例1

と同様にして形成する。ゲート絶縁膜808上に形成するゲート電極809～812は端部がテーパー形状となるように形成することに特徴があり、この部分を利用してLDD領域を形成している。このようなテーパー形状は実施例1と同様に、ICPエッチング装置を用いたW膜の異方性エッチング技術により形成することができる。また、ソース配線813、第2の電極（容量電極）815もテーパー形状となる。

【0126】テーパー形状の部分を利用して形成されるLDD領域はnチャンネル型TFTの信頼性を向上させるために設け、これによりホットキャリア効果によるオン電流の劣化を防止する。このLDD領域はイオンドープ法により当該不純物元素のイオンを電界で加速して、ゲート電極の端部及び該端部の近傍におけるゲート絶縁膜を通して半導体膜に添加する。

【0127】第1のnチャンネル型TFT851にはチャンネル形成領域832の外側に第1のLDD領域835、第2のLDD領域834、ソースまたはドレイン領域833が形成され、第1のLDD領域835はゲート電極810と重なるように形成されている。また、第1のLDD領域835と第2のLDD領域834とに含まれるn型の不純物元素は、上層のゲート絶縁膜やゲート電極の膜厚の差により第2のLDD領域834の方が高くなっている。第2のnチャンネル型TFT852も同様な構成とし、チャンネル形成領域836、ゲート電極と重なる第1のLDD領域839、第2のLDD領域838、ソースまたはドレイン領域837から成っている。一方、pチャンネル型TFT850はシングルドレインの構造であり、チャンネル形成領域828の外側にp型不純物が添加された不純物領域829～831が形成されている。

【0128】画素部858において、nチャンネル型TFTで形成される画素TFTはオフ電流の低減を目的としてマルチゲート構造で形成され、チャンネル形成領域840の外側にゲート電極と重なる第1のLDD領域843、第2のLDD領域842、ソースまたはドレイン領域841が設けられている。また、保持容量854は島状半導体層807とゲート絶縁膜808と同じ層で形成される絶縁層と第2の電極815とから形成されている。島状半導体層807にはp型不純物が添加されていて、抵抗率が低いことにより第2の電極に印加する電圧を低く抑えることができる。

【0129】層間絶縁膜は酸化シリコン、窒化シリコン、または酸化窒化シリコンなどの無機材料から成り、50～500nmの厚さの第1の層間絶縁膜816と、ポリイミド、アクリル、ポリイミドアミド、BCB（ベンゾシクロブテン）などの有機絶縁物材料から成る第2の層間絶縁膜817とで形成する。このように、第2の層間絶縁膜を有機絶縁物材料で形成することにより、表面を良好に平坦化させることができる。また、有機樹脂材料は一般に誘電率が低いので、寄生容量を低減するでき



る。しかし、吸湿性があり保護膜としては適さないの  
で、第1の層間絶縁膜816と組み合わせて形成するこ  
とが好ましい。

【0130】その後、所定のパターンのレジストマスク  
を形成し、それぞれの島状半導体層に形成されたソース  
領域またはドレイン領域に達するコンタクトホールを形  
成する。コンタクトホールの形成はドライエッチング法  
により行う。この場合、エッチングガスに $CF_4$ 、 $O_2$ 、  
 $He$ の混合ガスを用い有機樹脂材料から成る層間絶縁膜  
をまずエッチングし、その後、続いてエッチングガスを  
 $CF_4$ 、 $O_2$ として保護絶縁膜をエッチングする。さら  
に、島状半導体層との選択比を高めるために、エッチ  
ングガスを $CHF_3$ に切り替えてゲート絶縁膜をエッチ  
ングすることにより、良好にコンタクトホールを形成す  
ることができる。

【0131】そして、導電性の金属膜をスパッタ法や真  
空蒸着法で形成し、レジストマスクパターンを形成し、  
エッチングによってソース及びドレイン配線818～8  
23と、画素電極827、ゲート配線826、接続電極  
825を形成する。このようにして図1で示すような画  
素構成の画素部を有するアクティブマトリクス基板を形  
成することができる。また、本実施例のアクティブマト  
リクス基板を用いても、実施例2で示すアクティブマト  
リクス型の液晶表示装置を作製することができる。

【0132】また、本実施例では、ゲート電極とソース  
配線を同時に形成する例を示したが、マスクを1枚増や  
し、さらにゲート電極と第1の電極を別の工程で形成し  
てもよい。即ち、まず、半導体層と重なりゲート電極と  
なる部分だけを形成し、順次n型またはp型の不純物元  
素を添加し、活性化を行った後、ゲート電極と重ねて第  
1の電極を形成する。この際、コンタクトホールの形成  
を行うことなく、単なる重ね合わせでゲート電極と第1  
の電極とのコンタクトを形成する。また、第1の電極と  
同様にソース配線を形成する。こうすることによって第  
1の電極及びソース配線の材料として低抵抗なアルミニ  
ウムや銅を用いることが可能となる。

【0133】[実施例7]本実施例では、実施例1とはア  
クティブマトリクス基板のTFT構造が異なる他の例を  
図12を用いて説明する。

【0134】図12で示すアクティブマトリクス基板  
は、第1のpチャンネル型TFT950と第2のnチャネ  
ル型TFT951を有するロジック回路部955と第2  
のnチャンネル型TFT952から成るサンプリング回路  
部956とを有する駆動回路957と、画素TFT95  
3と保持容量954を有する画素部958とが形成され  
ている。駆動回路957のロジック回路部955のTFT  
はシフトレジスタ回路やバッファ回路などを形成し、  
サンプリング回路部956のTFTは基本的にはアナロ  
グスイッチで形成する。

【0135】本実施例で示すアクティブマトリクス基板

は、まず、基板901上に下地膜902を酸化シリコン  
膜、酸化窒化シリコン膜などで50～200nmの厚さに  
形成する。その後、レーザー結晶化法や熱結晶化法で作  
製した結晶質半導体膜から島状半導体層903～907  
を形成する。その上にゲート絶縁膜908を形成する。  
そして、nチャンネル型TFTを形成する島状半導体層9  
04、905と保持容量を形成する島状半導体層907  
に $1 \times 10^{16} \sim 1 \times 10^{19}/cm^3$ の濃度でリン(P)に代  
表されるn型を付与する不純物元素を選択的に添加す  
る。

【0136】そして、WまたはTa-Nを成分とする材料  
でゲート電極909～912、ゲート配線914、第2  
の電極(容量電極)915、及びソース配線913を形  
成する。ゲート配線、第2の電極、ソース配線はAl等  
の抵抗率の低い材料で別途形成しても良い。そして、島  
状半導体層903～907ゲート電極909～912及  
び第2の電極915の外側の領域に $1 \times 10^{19} \sim 1 \times 1  
0^{21}/cm^3$ の濃度でリン(P)に代表されるn型を付与す  
る不純物元素を選択的に添加する。こうして第1のnチ  
ャネル型TFT951、第2のnチャンネル型TFT95  
2には、それぞれチャネル形成領域931、934、LD  
領域933、936、ソースまたはドレイン領域9  
32、935が形成される。画素TFT953のLDD  
領域939はゲート電極912を用いて自己整合的に形  
成するものでチャネル形成領域937の外側に形成さ  
れ、ソースまたはドレイン領域938は、第1及び第2  
のnチャンネル型TFTと同様に形成されている。

【0137】層間絶縁膜は実施例3と同様に、酸化シリ  
コン、窒化シリコン、または酸化窒化シリコンなどの無  
機材料から成る第1の層間絶縁膜916と、ポリイミ  
ド、アクリル、ポリイミドアミド、BCB(ベンゾシク  
ロブテン)などの有機絶縁物材料から成る第2の層間絶  
縁膜917とで形成する。その後、所定のパターンのレ  
ジストマスクを形成し、それぞれの島状半導体層に形成  
されたソース領域またはドレイン領域に達するコンタ  
クトホールを形成する。そして、導電性の金属膜をスパ  
ッタ法や真空蒸着法で形成しソース配線及びドレイン配線  
918～923と、画素電極927、ゲート配線92  
6、接続電極925を形成する。このようにして図1で  
示すような画素構造構成の画素部を有するアクティブマ  
トリクス基板を形成することができる。また、本実施例  
のアクティブマトリクス基板を用いても、実施例2で示  
すアクティブマトリクス型の液晶表示装置を作製するこ  
とができる。

【0138】ロジック回路部955の第1のnチャネル  
型TFT951はドレイン側にゲート電極と重なるGO  
LD領域が形成された構造としてある。このGOLD領  
域によりドレイン領域近傍に発生する高電界領域を緩和  
して、ホットキャリアの発生を防ぎ、このTFTの劣化  
を防止することができる。このような構造のnチャネル

型TFTはバッファ回路やシフトレジスタ回路に適している。一方、サンプリング回路部956の第2のnチャネル型TFT952はGOLD領域とLDD領域をソース側及びドレイン側に設けた構造であり、極性反転して動作するアナログスイッチにおいてホットキャリアによる劣化を防ぎ、さらにオフ電流を低減することを目的とした構造となっている。画素TFT953はLDD構造を有し、マルチゲートで形成され、オフ電流の低減を目的とした構造となっている。一方、pチャネル型TFTはシングルドレイン構造で形成され、チャネル形成領域928の外側にp型の不純物元素が添加された不純物領域929、930を形成する。

【0139】このように、図12で示すアクティブマトリクス基板は、画素部及び駆動回路が要求する仕様に依りて各回路を構成するTFTを最適化し、各回路の動作特性と信頼性を向上させることを特に考慮した構成となっている。

【0140】また、本実施例では、ゲート電極とソース配線を同時に形成する例を示したが、マスクを1枚増やし、さらにゲート電極と第1の電極を別の工程で形成してもよい。即ち、まず、半導体層と重なりゲート電極となる部分だけを形成し、順次n型またはp型の不純物元素を添加し、活性化を行った後、ゲート電極と重ねて第1の電極を形成する。この際、コンタクトホールを形成を行うことなく、単なる重ね合わせでゲート電極と第1の電極とのコンタクトを形成する。また、第1の電極と同時にソース配線を形成する。こうすることによって第1の電極及びソース配線の材料として低抵抗なアルミニウムや銅を用いることが可能となる。

【0141】[実施例8]本実施例では図1とは異なる画素構造を図13に示し、断面構造を図14に示す。それぞれ、A-A'断面図、G-G'断面図を示した。なお、本実施例は、実施例1と保持容量の構成が異なるのみであり、それ以外の構成は実施例1とほぼ同一である。

【0142】本実施例では保持容量は、第2の半導体層1002上の絶縁膜を誘電体として、第2の半導体層1002と、容量電極1005とで形成している。なお、容量電極1005は、容量配線1009と接続されている。また、容量電極1005は、第1の電極1004及びソース配線1006と同じ絶縁膜上に同時に形成される。また、容量配線は、画素電極1011、接続電極1010、ゲート配線1007と同じ絶縁膜上に同時に形成される。

【0143】また、本実施例では、実施例1とは異なり、不純物領域1012~1014には画素TFTと同様にn型を付与する不純物元素が添加されている。本実施例のように保持容量を形成する一方の電極が不純物領域1014となる保持容量を備えた画素構造とすることで、画素部が大面積化（例えば対角10インチ以上

のパネル）しても対応できる。

【0144】また、本実施例では、ゲート電極とソース配線を同時に形成する例を示したが、マスクを1枚増やし、さらにゲート電極と第1の電極及び容量配線を別の工程で形成してもよい。即ち、まず、半導体層と重なりゲート電極となる部分だけを形成し、順次n型またはp型の不純物元素を添加し、活性化を行った後、ゲート電極と重ねて第1の電極を形成する。この際、コンタクトホールの形成を行うことなく、単なる重ね合わせでゲート電極と第1の電極とのコンタクトを形成する。また、第1の電極と同時にソース配線、容量配線を形成する。こうすることによって第1の電極及びソース配線の材料として低抵抗なアルミニウムや銅を用いることが可能となる。また、容量配線に重なる半導体層にn型またはp型の不純物元素を添加して保持容量の増加を図ることができる。

【0145】本実施例は、実施例1のマスク設計を変更することで、枚数を増やすことなく作製することができる。

20 【0146】なお、本実施例は実施例1乃至5のいずれか一と自由に組み合わせることができる。

【0147】[実施例9]本実施例では、実施例1で示したアクティブマトリクス基板のTFTの半導体層を形成する結晶質半導体層の他の作製方法について示す。本実施例では特開平7-130652号公報で開示されている触媒元素を用いる結晶化法を適用することもできる。以下に、その場合の例を説明する。

【0148】実施例1と同様にして、ガラス基板上に下地膜、非晶質半導体層を25~80nmの厚さで形成する。例えば、非晶質シリコン膜を55nmの厚さで形成する。そして、重量換算で10ppmの触媒元素を含む水溶液をスピンコート法で塗布して触媒元素を含有する層を形成する。触媒元素にはニッケル(Ni)、ゲルマニウム(Ge)、鉄(Fe)、パラジウム(Pd)、スズ(Sn)、鉛(Pb)、コバルト(Co)、白金(Pt)、銅(Cu)、金(Au)などである。この触媒元素を含有する層170は、スピンコート法の他にスパッタ法や真空蒸着法によって上記触媒元素の層を1~5nmの厚さに形成しても良い。

40 【0149】そして、結晶化の工程では、まず400~500℃で1時間程度の熱処理を行い、非晶質シリコン膜の含有水素量を5atom%以下にする。そして、ファーンズアニール炉を用い、窒素雰囲気中で550~600℃で1~8時間の熱アニールを行う。以上の工程により結晶質シリコン膜から成る結晶質半導体層を得ることができる。

50 【0150】このようにして作製された結晶質半導体層から島状半導体層を作製すれば、実施例1と同様にしてアクティブマトリクス基板を完成させることができる。しかし、結晶化の工程においてシリコンの結晶化を

助長する触媒元素を使用した場合、島状半導体層中には微量 ( $1 \times 10^{17} \sim 1 \times 10^{19}$  atoms/cm<sup>3</sup>程度) の触媒元素が残留する。勿論、そのような状態でも TFT を完成させることが可能であるが、残留する触媒元素を少なくともチャネル形成領域から除去する方がより好ましかった。この触媒元素を除去する手段の一つにリン (P) によるゲッタリング作用を利用する手段がある。

【0151】この目的におけるリン (P) によるゲッタリング処理は、図 3 (C) で説明した活性化工程で同時に行うことができる。ゲッタリングに必要なリン (P) の濃度は高濃度 n 型不純物領域の不純物濃度と同程度でよく、活性化工程の熱アニールにより、n チャネル型 TFT および p チャネル型 TFT のチャネル形成領域から触媒元素をその濃度でリン (P) を含有する不純物領域へ偏析させることができる。その結果その不純物領域には  $1 \times 10^{17} \sim 1 \times 10^{19}$  atoms/cm<sup>3</sup> 程度の触媒元素が偏析した。このようにして作製した TFT はオフ電流値が下がり、結晶性が良いことから高い電界効果移動度が得られ、良好な特性を達成することができる。

【0152】なお、本実施例は、実施例 1 乃至 8 のいずれかと自由に組み合わせることが可能である。

【0153】[実施例 10] 本実施例では、実施例 1 とは異なる画素構造 (IPS 方式) を図 15 に示し、断面構造を図 16 に示す。それぞれ、A-A' 断面図、H-H' 断面図を示した。

【0154】本実施例は、IPS (In-Plane Switching) 方式 (横電界方式とも言う) のアクティブマトリクス型の液晶表示装置の一例を示す。IPS 方式は画素電極と共通配線 (以下、コモン配線と呼ぶ) との両方を一方の基板に形成し、横方向に電界を印加することに特徴があり、液晶分子の長軸が基板面にほぼ平行な方向に配向制御されている。この IPS 方式とすることで視野角を広げることができる。

【0155】図 15 において、1101 は第 1 の半導体層、1102、1103 は第 2 の半導体層、1104 は第 1 の電極、1105 は第 2 の電極、1106 はソース配線、1107 はゲート配線、1108、1109 はコモン配線、1110 は接続電極、1111 は画素電極である。なお、画素電極とコモン配線は、基板面と平行な電界が生じるように配置されている。また、コモン配線はソース配線と重なるように配置されており画素部の開口率を向上させている。

【0156】また、図 16 に示すように第 1 の電極 1104、第 2 の電極 1105、及びソース配線 1106 は、第 1 の半導体層及び第 2 の半導体層を覆う絶縁膜上に同時に形成されている。また、画素電極 1111、接続電極 1110、ゲート配線 1107、及びコモン配線 1109 は、ソース配線を覆う層間絶縁膜上に同時に形成されている。

【0157】また、第 1 の電極はゲート配線と電氣的に

接続されており、第 1 の半導体層と重なる第 1 の電極はゲート電極として機能する。

【0158】また、本実施例では、長方形の画素電極を示したが、画素電極及びコモン電極の形状をくの字の電極構造として、さらに視野角を広げてよい。

【0159】また、保持容量は、第 2 の半導体層と、第 2 の半導体層を覆う絶縁膜と、第 2 の電極とで形成される。この第 2 の電極は隣り合う画素のゲート配線と電氣的に接続されている。また、第 2 の半導体層には p 型を付与する不純物元素が添加されている。

【0160】なお、本実施例は、実施例 1 のマスクパターンを変更すれば実施例 1 と同じ工程で得られる画素構成である。

【0161】実施例 1 を用いて図 15 及び図 16 に示す状態を得た後、実施例 2 に示した方法により液晶表示装置を得る。画素間の隙間は実施例 2 と同様に対向基板に設けたカラーフィルタを用いて遮光する。ただし、IPS 方式とするため、配向処理などを変更する必要がある。

【0162】[実施例 11] 本実施例では、実施例 10 とは異なる他の IPS 方式の画素構造を図 17 に示し、断面構造を図 18 に示す。それぞれ、J-J' 断面図、K-K' 断面図を示した。なお、本実施例は、実施例 10 と画素電極の構成が異なるのみであり、それ以外の構成は実施例 10 とほぼ同一である。

【0163】図 17 において、1201 は第 1 の半導体層、1202、1203 は第 2 の半導体層、1204 は第 1 の電極、1205 は第 2 の電極、1206 はソース配線、1207 はゲート配線、1208、1209 はコモン配線、1210 は第 1 の接続電極、1211 は画素電極、1212、1213 は第 2 の接続電極である。なお、画素電極とコモン配線は、基板面と平行な電界が生じるように配置されている。また、画素電極 1211 は透光性を有する導電膜 (ITO 膜等) を用いており、マスクを 1 枚増やして透光性を有する導電膜をパターンニングして、第 2 の接続電極と画素電極とを重ねあわせて電氣的な接続を可能としている。画素電極として透光性を有する導電膜を用いることによって開口率を向上させている。また、コモン配線はソース配線と重なるように配置されており画素部の開口率を向上させている。

【0164】また、図 18 に示すように第 1 の電極 1204、第 2 の電極 1205、及びソース配線 1206 は、第 1 の半導体層及び第 2 の半導体層を覆う絶縁膜上に同時に形成されている。また、第 1 の接続電極 1210、ゲート配線 1207、及びコモン配線 1209、第 2 の接続電極 1213、1212 は、ソース配線を覆う層間絶縁膜上に同時に形成されている。

【0165】また、第 1 の電極はゲート配線と電氣的に接続されており、第 1 の半導体層と重なる第 1 の電極はゲート電極として機能する。

【0166】また、本実施例では、長方形の画素電極を示したが、画素電極及びコモン電極の形状をくの字の電極構造として、さらに視野角を広げてよい。

【0167】また、保持容量は、第2の半導体層と、第2の半導体層を覆う絶縁膜と、第2の電極とで形成される。この第2の電極は隣り合う画素のゲート配線と電気的に接続されている。また、第2の半導体層にはp型を付与する不純物元素が添加されている。

【0168】なお、本実施例は、実施例1のマスクパターンを変更すれば実施例1と同じ工程で得られる画素構成である。

【0169】実施例1を用いて図15及び図16に示す状態を得た後、実施例2に示した方法により液晶表示装置を得る。画素間の隙間は実施例2と同様に対向基板に設けたカラーフィルタを用いて遮光する。ただし、IPS方式とするため、配向処理などを変更する必要がある。

【0170】[実施例12]本実施例では、実施例1とは異なる保持容量の断面構造を図19に示す。なお、本実施例は、実施例1と保持容量の構成が異なるのみであり、それ以外の構成は実施例1とほぼ同一である。なお、同じ符号を用いた部分はそれぞれ実施例1に対応している。

【0171】まず、実施例1に従って層間絶縁膜を形成する状態を得た後、マスクを1枚増やし、選択的にエッチングして層間絶縁膜を一部除去して、有機樹脂からなる層間絶縁膜1300と層間絶縁膜157を選択的に残す。次いで、画素電極1302を形成する。

【0172】本実施例では、実施例1と同様に第1絶縁膜を誘電体として不純物領域153～156を含む半導体層と容量電極1301とで保持容量が形成される。加えて、層間絶縁膜157を誘電体として容量電極1301と画素電極1302とで保持容量が形成される。なお、不純物領域153～156には画素TFEと同様にn型またはp型を付与する不純物元素が添加されている。

【0173】このような構成とすることでさらなる保持容量の増加を図ることができる。

【0174】なお、本実施例は実施例1乃至9のいずれか一と自由に組み合わせることができる。

【0175】[実施例13]本発明を実施して形成されたCMOS回路や画素部は様々な電気光学装置（アクティブマトリクス型液晶ディスプレイ、アクティブマトリクス型ECディスプレイ）に用いることができる。即ち、それら電気光学装置を表示部に組み込んだ電子機器全てに本発明を実施できる。

【0176】その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター（リア型またはフロント型）、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、カーステレオ、

パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図20、図21、及び図22に示す。

【0177】図20（A）はパーソナルコンピュータであり、本体2001、画像入力部2002、表示部2003、キーボード2004等を含む。本発明を画像入力部2002、表示部2003に適用することができる。

【0178】図20（B）はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106等を含む。本発明を表示部2102に適用することができる。

【0179】図20（C）はモバイルコンピュータ（モバイルコンピュータ）であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示部2205等を含む。本発明は表示部2205に適用できる。

【0180】図20（D）は頭部取り付け型のディスプレイの一部（右片側）であり、本体2301、信号ケーブル2302、頭部固定バンド2303、表示部2304、光学系2305、表示装置2306等を含む。本発明は表示装置2306に用いることができる。

【0181】図20（E）はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体2401、表示部2402、スピーカ部2403、記録媒体2404、操作スイッチ2405等を含む。なお、このプレーヤーは記録媒体としてDVD（Digital Versatile Disc）、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部2402に適用することができる。

【0182】図20（F）はデジタルカメラであり、本体2501、表示部2502、接眼部2503、操作スイッチ2504、受像部（図示しない）等を含む。本発明を表示部2502に適用することができる。

【0183】図21（A）はフロント型プロジェクターであり、投射装置2601、スクリーン2602等を含む。本発明は投射装置2601の一部を構成する液晶表示装置2808に適用することができる。

【0184】図21（B）はリア型プロジェクターであり、本体2701、投射装置2702、ミラー2703、スクリーン2704等を含む。本発明は投射装置2702の一部を構成する液晶表示装置2808に適用することができる。

【0185】なお、図21（C）は、図21（A）及び図21（B）中における投射装置2601、2702の構造の一例を示した図である。投射装置2601、2702は、光源光学系2801、ミラー2802、2804～2806、ダイクロイックミラー2803、プリズ

ム2807、液晶表示装置2808、位相差板2809、投射光学系2810で構成される。投射光学系2810は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図21(C)中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IRフィルム等の光学系を設けてもよい。

【0186】また、図21(D)は、図21(C)中における光源光学系2801の構造の一例を示した図である。本実施例では、光源光学系2801は、リフレクター2811、光源2812、レンズアレイ2813、2814、偏光変換素子2815、集光レンズ2816で構成される。なお、図21(D)に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IRフィルム等の光学系を設けてもよい。

【0187】ただし、図21に示したプロジェクターにおいては、透過型の電気光学装置を用いた場合を示しており、反射型の電気光学装置での適用例は図示していない。

【0188】図22(A)は携帯電話であり、本体2901、音声出力部2902、音声入力部2903、表示部2904、操作スイッチ2905、アンテナ2906等を含む。本発明を表示部2904に適用することができる。

【0189】図22(B)は携帯書籍(電子書籍)であり、本体3001、表示部3002、3003、記憶媒体3004、操作スイッチ3005、アンテナ3006等を含む。本発明は表示部3002、3003に適用することができる。

【0190】図22(C)はディスプレイであり、本体3101、支持台3102、表示部3103等を含む。本発明は表示部3103に適用することができる。本発明のディスプレイは大画面化した場合においても有利であり、対角10インチ以上(特に30インチ以上)のデ

ィスプレイには有利である。

【0191】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1~12のどのような組み合わせからなる構成を用いても実現することができる。

【0192】[実施例14]実施例1では、第1の形状の導電層を形成する第1のエッチング処理を1回のエッチング条件で行ったが、絶縁膜の膜減り及び形状の均一性を向上させるため、複数回のエッチング条件で行ってもよい。本実施例では第1のエッチング処理を2回のエッチング条件で第1の形状の導電層を形成する例を示す。

【0193】また、本発明は、ゲート電極の両側にテーパー形状が形成され、チャネル形成領域の両側にLDD領域が形成されるが、本実施例は、作製工程におけるゲート電極近傍の片側の断面拡大図を示す図24を用いて説明する。なお、簡略化のため、下地膜と基板は図示していない。

【0194】まず、実施例1に従って、図2(A)と同じ状態を得る。第1の導電膜は、膜厚20~100nmとし、第2の導電膜は、膜厚100~400nmとすればよく、本実施例では、膜厚30nmのTa<sub>2</sub>N<sub>5</sub>からなる第1の導電膜と膜厚370nmのWからなる第2の導電膜を積層形成した。Ta<sub>2</sub>N<sub>5</sub>は、非常に耐熱性が高いため、第1の導電膜の材料として好ましい。

【0195】次いで、レジストからなる第1の形状のマスク1405aを形成し、ICP法によりエッチングを行って第1の形状の第2の導電層1404aを形成する。ここでは、Ta<sub>2</sub>N<sub>5</sub>と選択比が高いエッチングガスとしてCF<sub>4</sub>とCl<sub>2</sub>とO<sub>2</sub>からなる混合ガスを用いたため、図24(A)に示した状態を得ることができる。表1に様々なエッチング条件と第2の導電層(W)のエッチングレート、第1の導電層(Ta<sub>2</sub>N<sub>5</sub>)のエッチングレート、または第2の導電層(W)のテーパー角との関係を示す。

【0196】

【表1】

W及びTa <sub>2</sub> N <sub>5</sub> のエッチングレート(E <sub>R</sub> )及びWテーパー角度										
条件	ICP	バイアス	圧力	CF <sub>4</sub>	Cl <sub>2</sub>	O <sub>2</sub>	W E <sub>R</sub> ①	Ta <sub>2</sub> N <sub>5</sub> E <sub>R</sub> ②	W/Ta <sub>2</sub> N <sub>5</sub> 選択比	Wテーパー角度
	[W]	[V]	[Pa]	[sccm]	[sccm]	[sccm]	[nm/min]	[nm/min]	①÷②	[deg]
1	500	20	1.0	30	30	0	58.97	66.43	0.889	80
2	500	60	1.0	30	30	0	88.71	118.46	0.750	25
3	500	100	1.0	30	30	0	111.66	168.03	0.667	18
4	500	20	1.0	25	25	10	124.62	20.67	6.049	70
5	500	60	1.0	25	25	10	161.72	35.81	4.528	35
6	500	100	1.0	25	25	10	176.90	56.32	3.008	32
7	500	150	1.0	25	25	10	200.39	80.32	2.495	26
8	500	200	1.0	25	25	10	218.20	102.87	2.124	22
9	500	250	1.0	25	25	10	232.12	124.97	1.860	19
10	600	20	1.0	20	20	20	- (*)	14.83	-	-
11	500	60	1.0	20	20	20	193.02	14.23	13.695	37
12	500	100	1.0	20	20	20	235.27	21.81	10.856	29
13	500	150	1.0	20	20	20	276.74	38.61	7.219	26
14	500	200	1.0	20	20	20	290.10	45.30	6.422	24
15	500	250	1.0	20	20	20	304.34	50.25	6.091	22

(\*) セル内の-はエッチング時にW表面が変質したため測定不可。

【0197】なお、本明細書においてテーパ角とは、図24(A)の右上図に示したように、水平面と材料層の側面とがなす角を指している。

【0198】また、水平面と第2の導電層(W)の側面とがなす角(テーパ角 $\alpha 1$ )は、第1のエッチング条件を、例えば表1中の条件4~15のいずれかに設定することで19度~70度の範囲で自由に設定することができる。なお、エッチング時間は実施者が適宜設定すればよい。

【0199】また、図24(A)において、1401は半導体層、1402は絶縁膜、1403は第1の導電膜である。

【0200】次いで、マスク1405aをそのままにした状態で、第2のエッチング条件とし、エッチングを行って、第1の形状の第1の導電層1403aを形成する。なお、第2のエッチング条件でのエッチングの際、絶縁膜1402も若干エッチングされて第1の形状の絶縁膜1402aとなる。ここでは、第2のエッチング条件のエッチングガスとして $CF_4$ と $Cl_2$ からなる混合ガスを用いた。第2のエッチング条件として、例えば、表1の条件1~3のいずれかを用いればよい。このように第1のエッチング処理を2回のエッチング条件で行うことによって、絶縁膜1402の膜減りを抑えることができる。

【0201】次いで、第1のドーピング処理を行う。半導体に一導電型を付与する不純物元素、ここでは、n型を付与するリンをイオンドーピング法を用い、第1の形状の第1の導電層1403a及び第1の形状の第2の導電層1404aをマスクとして半導体層1401に添加する。(図24(B))なお、図24(B)では、第2のエッチング条件のエッチングを行った際、第1の形状の第2の導電層1404aも若干、エッチングされるが微小であるため図24(A)と同一形状として図示した。

【0202】次いで、マスク1405aをそのままにした状態で、第2のエッチング処理を行い、図24(C)に示した状態を得る。本実施例では、第2のエッチング処理として、 $CF_4$ と $Cl_2$ からなる混合ガスを用いた第1のエッチング条件でエッチングを行った後、さらに $CF_4$ と $Cl_2$ と $O_2$ からなる混合ガスを用いた第2のエッチング条件でエッチングを行った。これらのエッチング条件は、表1中のいずれか一条件を用い、エッチング時間を適宜設定すればよい。また、各導電層のチャンネル長方向の幅もエッチング条件によって自由に設定することができる。この第2のエッチング処理によって、第2の形状のマスク1405b、第2の形状の第1の導電層1403b、第2の形状の第2の導電層1404b、及び第2の形状の絶縁膜1402bが形成される。

【0203】第2の形状の第2の導電層1404bは、テーパ角 $\alpha 1$ よりも大きいテーパ角 $\alpha 2$ を形成し、

第2の形状の第1の導電層1403bは非常に小さいテーパ角 $\beta$ を形成する。また、第2の形状の絶縁膜においてもテーパ角 $\gamma$ が部分的に形成される。

【0204】次いで、マスク1405bを除去した後、第2のドーピング処理を行う。(図24(D))第2のドーピング処理は、第1のドーピング処理よりも低濃度のドーピングを行う。ここでは、n型を付与するリンをイオンドーピング法を用い、第2の形状の第2の導電層1404bをマスクとして半導体層1401に添加する。

【0205】この第2のドーピング処理により不純物領域1401a~1401cが形成される。また、絶縁膜及び第1の導電層を挟んで第2の導電層と重なる半導体層は、チャンネル形成領域となる。なお、図示しないが、チャンネル形成領域を挟んで両側に不純物領域1401a~1401cが左右対称に形成される。

【0206】また、ドーピングにおいて、半導体層上に位置する材料層の膜厚が厚くなればなるほどイオンの注入される深さが浅くなる。従って、絶縁膜を挟んで第1の導電層と重なる不純物領域1401c、即ち第3の不純物領域(GOLD領域)は、テーパ角 $\beta$ の側面を有するテーパ形状の部分の影響を受けて、半導体層中に添加される不純物元素の濃度が変化する。膜厚が厚くなればなるほど不純物濃度が低減し、薄くなればなるほど不純物濃度が増加する。

【0207】また、同様に不純物領域1401b、即ち第2の不純物領域(LDD領域)は、第2の形状の絶縁膜1402bの膜厚による影響を受け、半導体層中に添加される不純物元素の濃度が変化する。即ち、テーパ角 $\gamma$ の側面を有するテーパ形状となっている部分やその他のテーパ形状となっている部分の膜厚による影響を受け、半導体層中に添加される不純物元素の濃度が変化する。なお、第1の導電層と重なっていない不純物領域1401bは、不純物領域1401cより濃度が高い。また、チャンネル長方向における不純物領域1401bの幅は、不純物領域1401cと同程度、もしくはは不純物領域1401cより広い。

【0208】また、不純物領域1401a、即ち第1の不純物領域は、第1のドーピング処理により添加された不純物濃度に加え、さらに第2のドーピング処理により添加されて高濃度不純物領域となり、ソース領域またはドレイン領域として機能する。

【0209】以降の工程は、実施例1の図3(B)以降の工程に従ってアクティブマトリクス基板を作製すればよい。

【0210】上記方法により画素部のTFT及び駆動回路のTFTが形成される。

【0211】また、本実施例は、実施例1乃至4、7乃至13のいずれかと自由に組み合わせることができる。

【0212】また、本実施例のエッチングガス用ガス（ $\text{CF}_4$ と $\text{C}_{12}$ の混合ガス）に代えて $\text{SF}_6$ と $\text{C}_{12}$ の混合ガスを用いた場合、あるいは $\text{CF}_4$ と $\text{C}_{12}$ と $\text{O}_2$ の混合ガスに代えて $\text{SF}_6$ と $\text{C}_{12}$ と $\text{O}_2$ の混合ガスを用いた場合、絶縁膜1402との選択比が非常に高いのでさらに膜減りを抑えることができる。

【0213】

【発明の効果】本発明によりマスク数及び工程数を増加させることなく、高い開口率を実現した画素構造を有する液晶表示装置を実現することができる。

【図面の簡単な説明】

【図1】 本発明の画素部上面図を示す図。（実施例1）

【図2】 アクティブマトリクス基板の作製工程を示す図。（実施例1）

【図3】 アクティブマトリクス基板の作製工程を示す図。（実施例1）

【図4】 アクティブマトリクス基板の作製工程を示す図。（実施例1）

【図5】 反射型液晶表示装置の断面構造図を示す図。（実施例2）

【図6】 本発明の画素部上面図を示す図。（実施例1）

【図7】 アクティブマトリクス基板の上面図及び断面図を示す図。（実施例3）

【図8】 端子部の断面図を示す図。（実施例3）

【図9】 透過型液晶表示装置の断面構造図を示す図。（実施例4）

【図10】 端子部の断面図を示す図。（実施例5）

【図11】 本発明のアクティブマトリクス基板の断面図を示す図。（実施例6）

【図12】 本発明のアクティブマトリクス基板の断面図を示す図。（実施例7）

【図13】 本発明の画素部上面図を示す図。（実施例8）

【図14】 本発明の画素部断面図を示す図。（実施例8）

10 【図15】 本発明の画素部上面図を示す図。（実施例10）

【図16】 本発明の画素部断面図を示す図。（実施例10）

【図17】 本発明の画素部上面図を示す図。（実施例11）

【図18】 本発明の画素部断面図を示す図。（実施例11）

【図19】 本発明の画素部断面図を示す図。（実施例12）

20 【図20】 電子機器の一例を示す図。（実施例13）

【図21】 電子機器の一例を示す図。（実施例13）

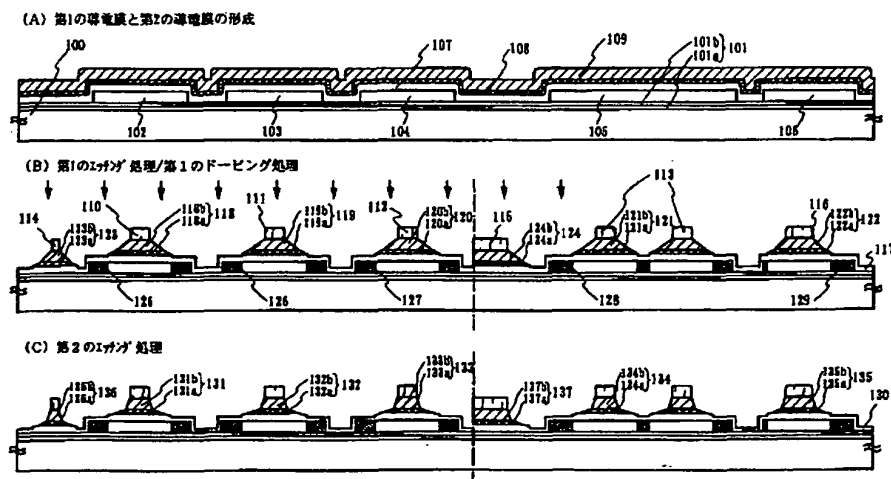
【図22】 電子機器の一例を示す図。（実施例13）

【図23】 従来例を示す図。

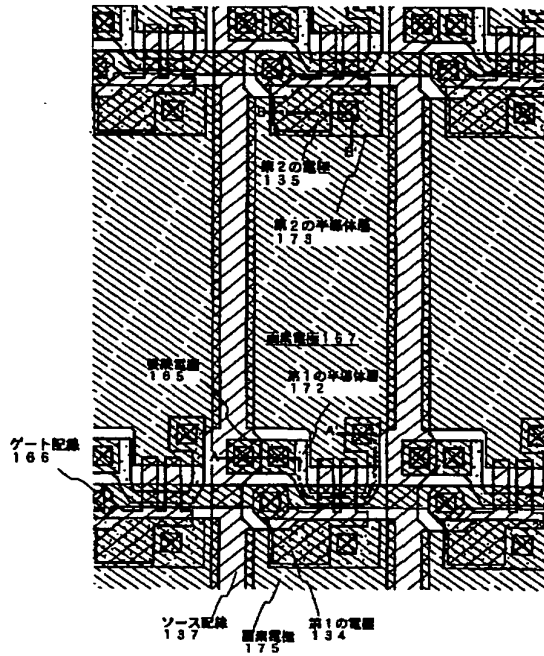
【図24】 アクティブマトリクス基板の作製工程の断面拡大図を示す図。（実施例14）

【図25】 本発明の画素部上面図を示す図。（実施例4）

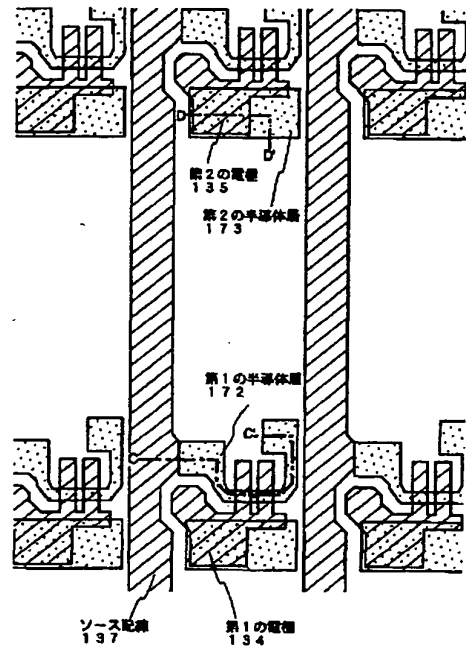
【図2】



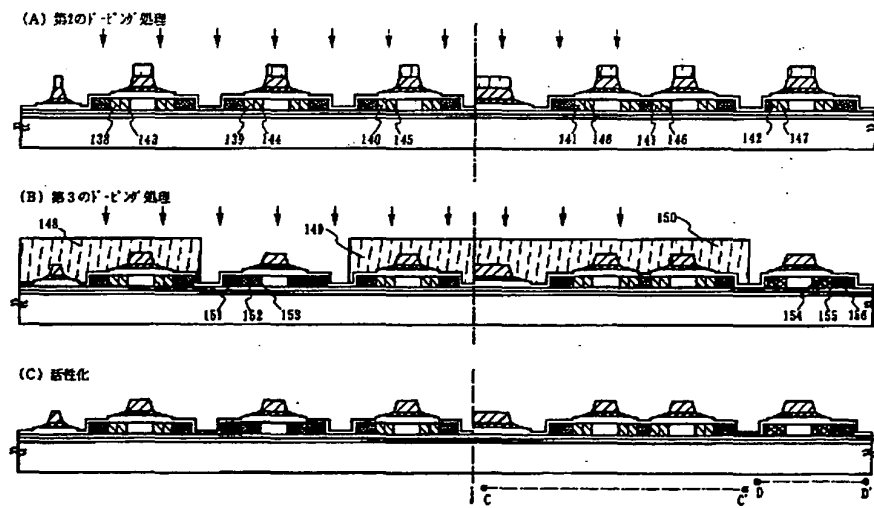
【図1】



【図6】



【図3】



【図10】

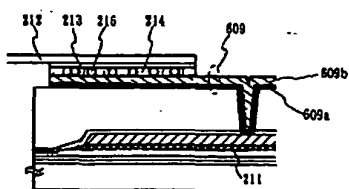
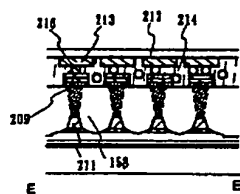




Figure 1 is a cross-sectional diagram of a multi-layered printed circuit board (PCB) assembly. The diagram shows various layers and components, with labels 568 through 575 indicating specific features. Below the diagram, labels 401 through 405 identify different sections: 401: p+p+ss型TPT, 402: p+p+ss型TPT, 403: p+p+ss型TPT, 404: 商案TPT, and 405: 保持容量. A label 406: 驱动回路 is located below the first three sections, and 407: 商案部 is below the last two sections.

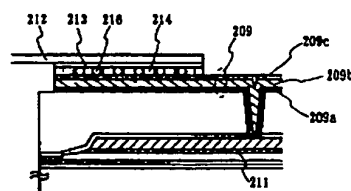
(A) 上面図

(A) 上頁圖



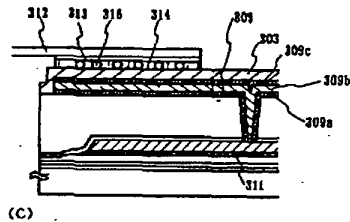
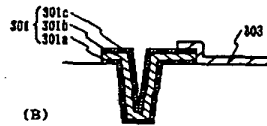
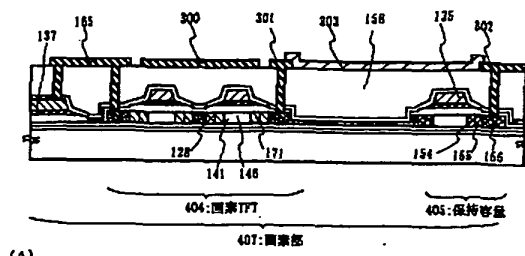
(B)  $E''-E'$  断面図

(A) F-F' 断面図

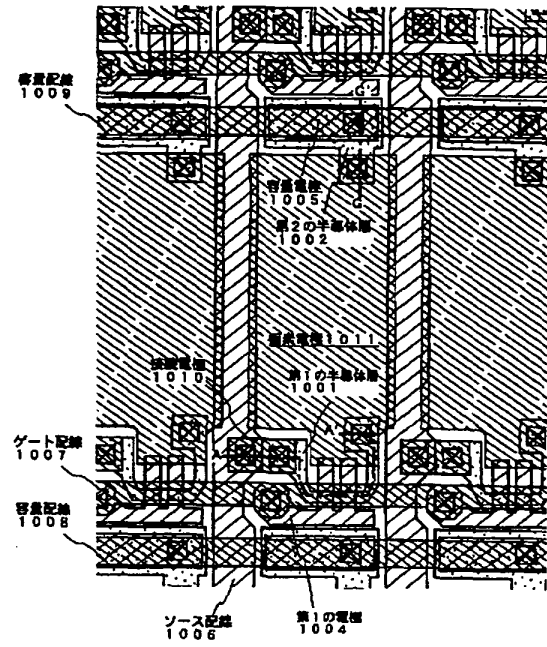


(B)

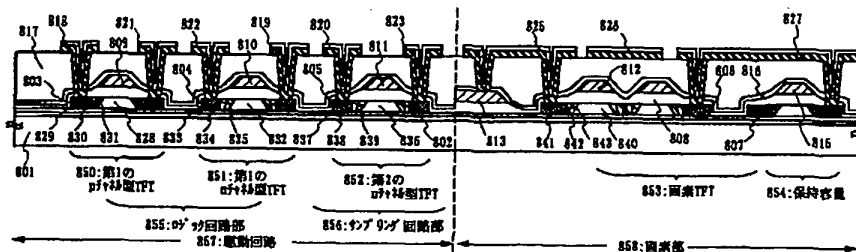
【図9】



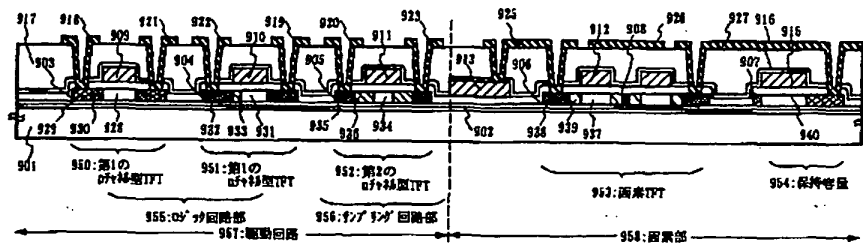
【図13】



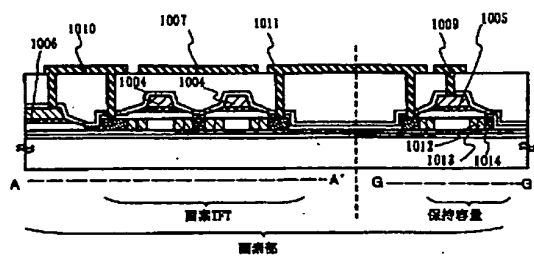
【図11】



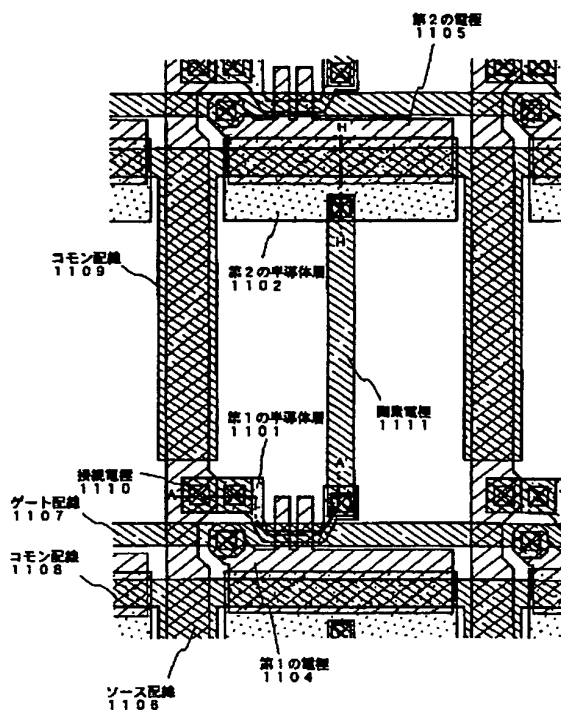
【図12】



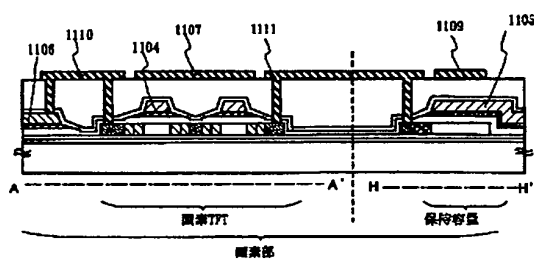
【图 14】



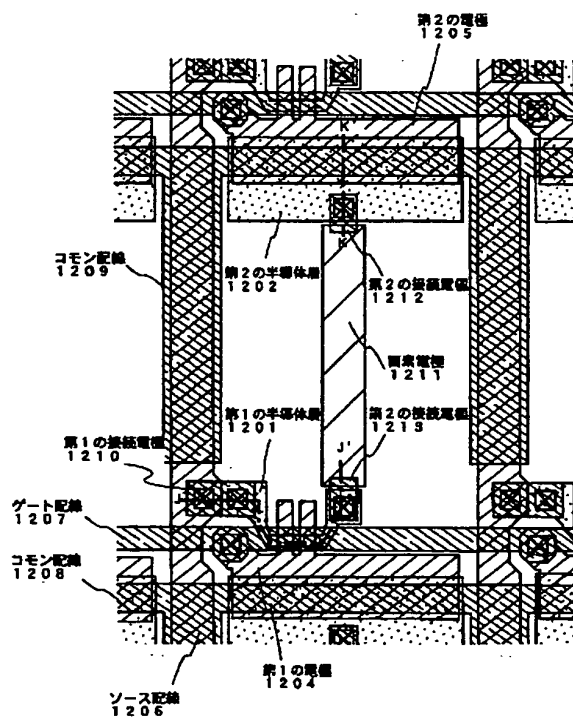
【图 15】



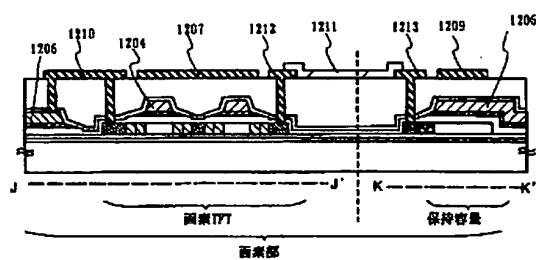
【图 16】



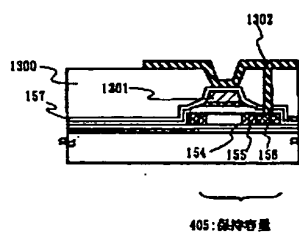
【图 17】



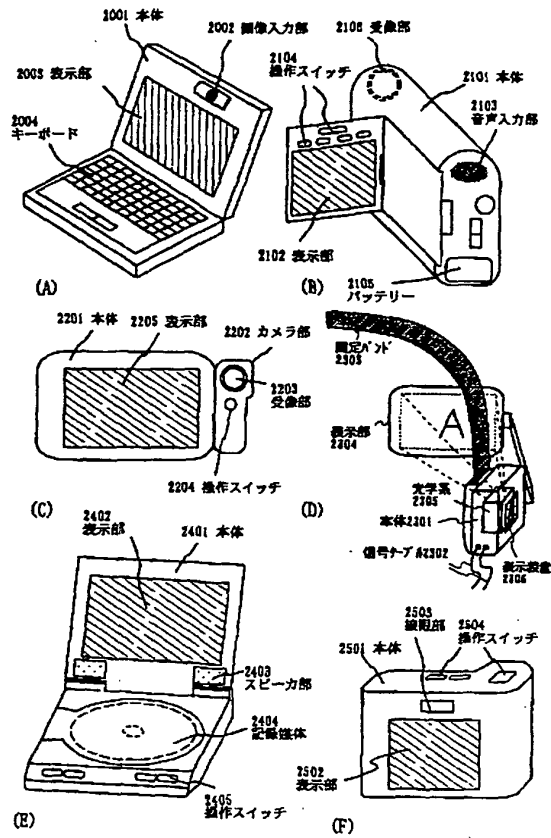
【図 18】



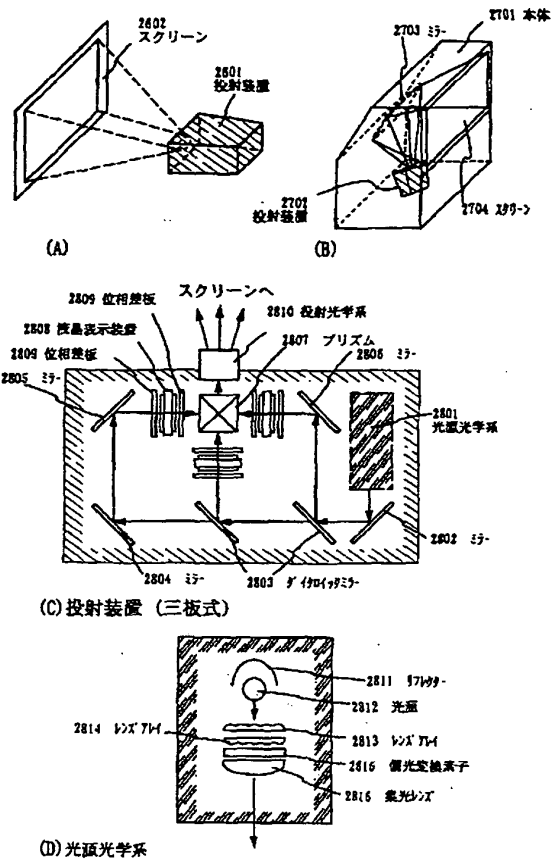
【图 19】



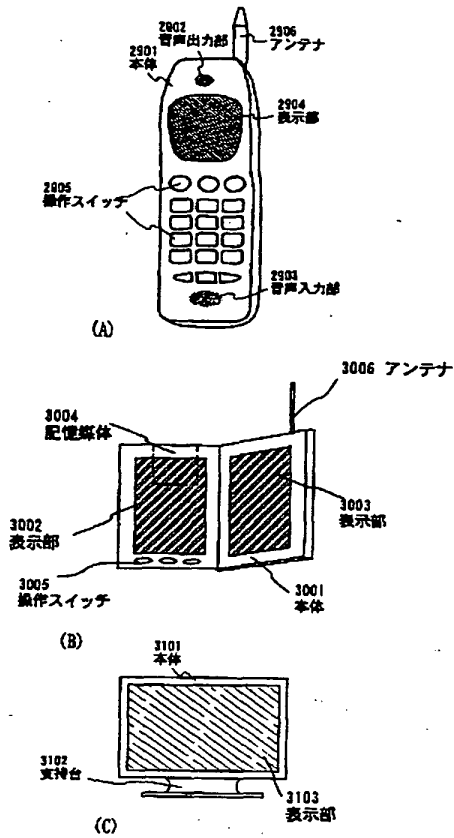
【図20】



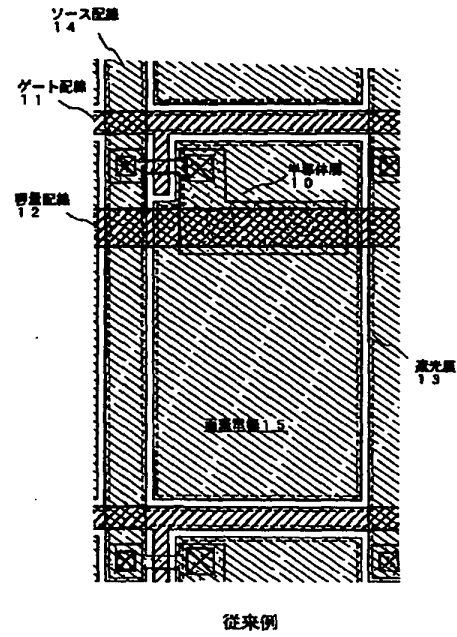
【図21】



【図 22】



【図 23】



【図 25】

